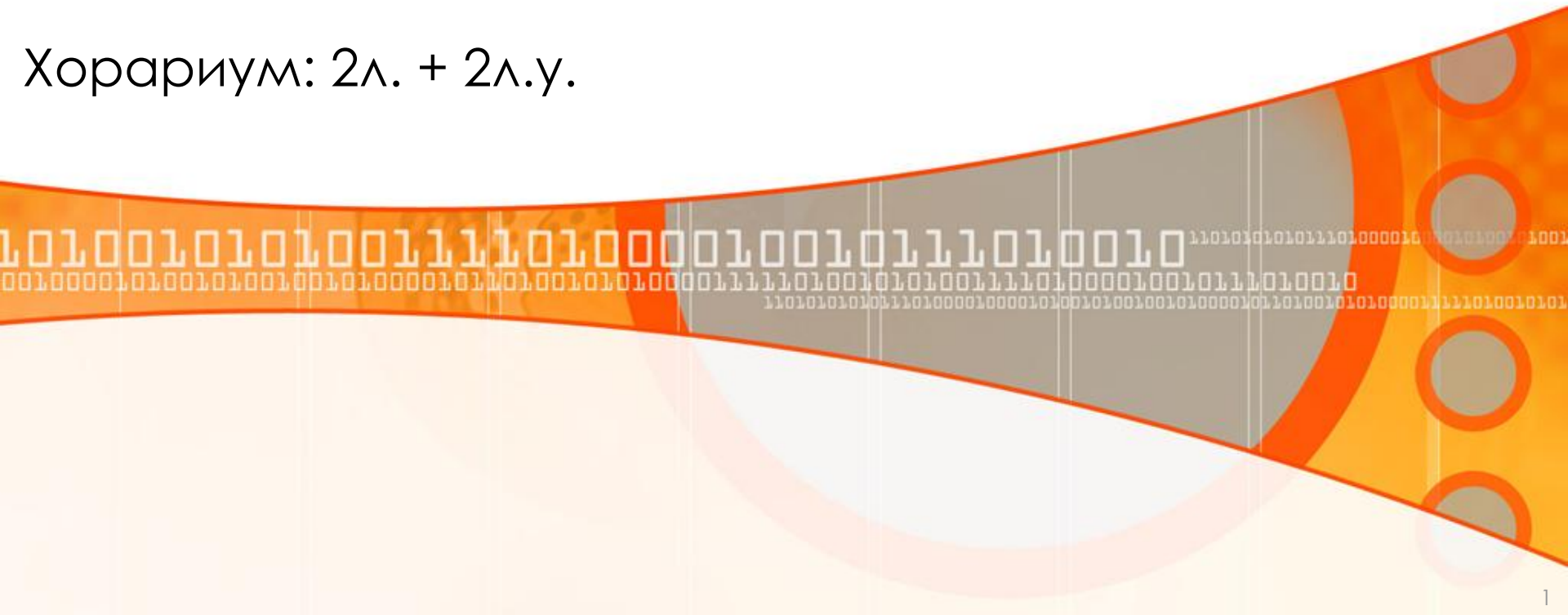
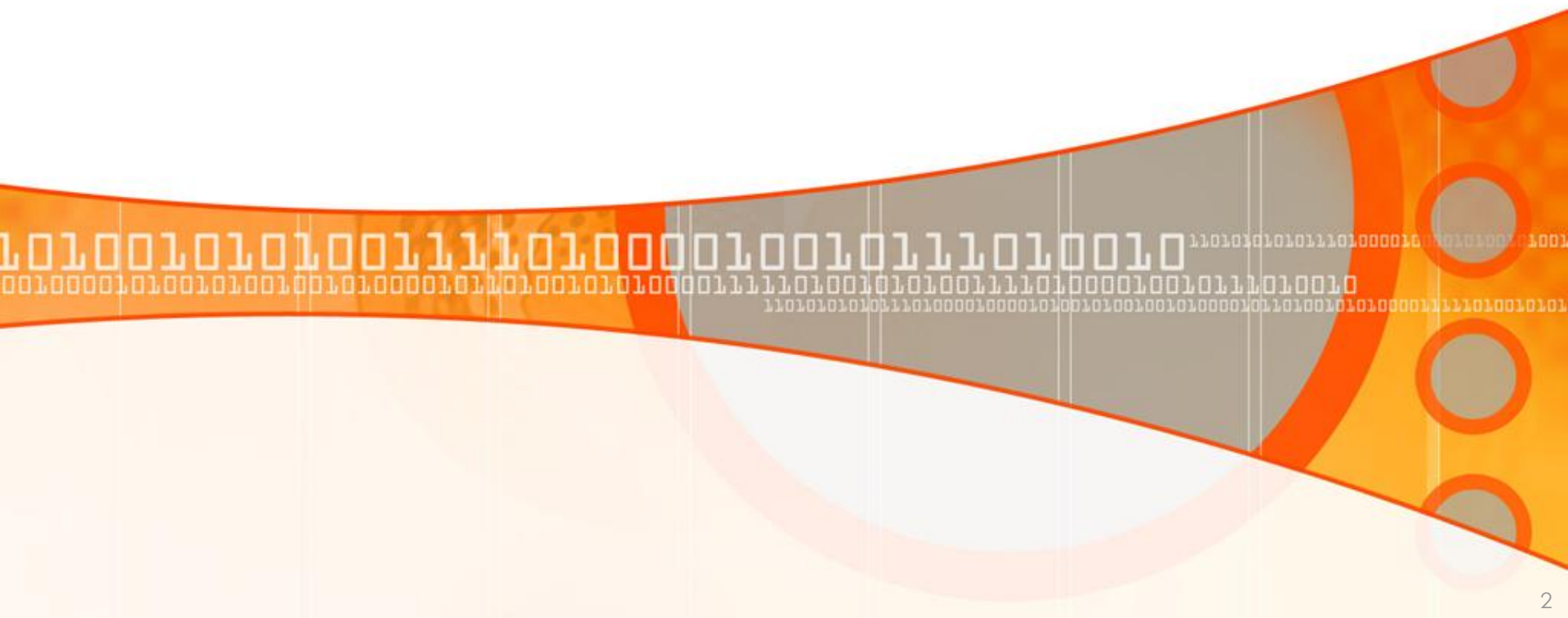


Организация на компютъра

Хорариум: 2л. + 2л.у.



Лекция 16: Организация на запомнящата система



Съдържание

Йерархична организация на компютърната запомняща система

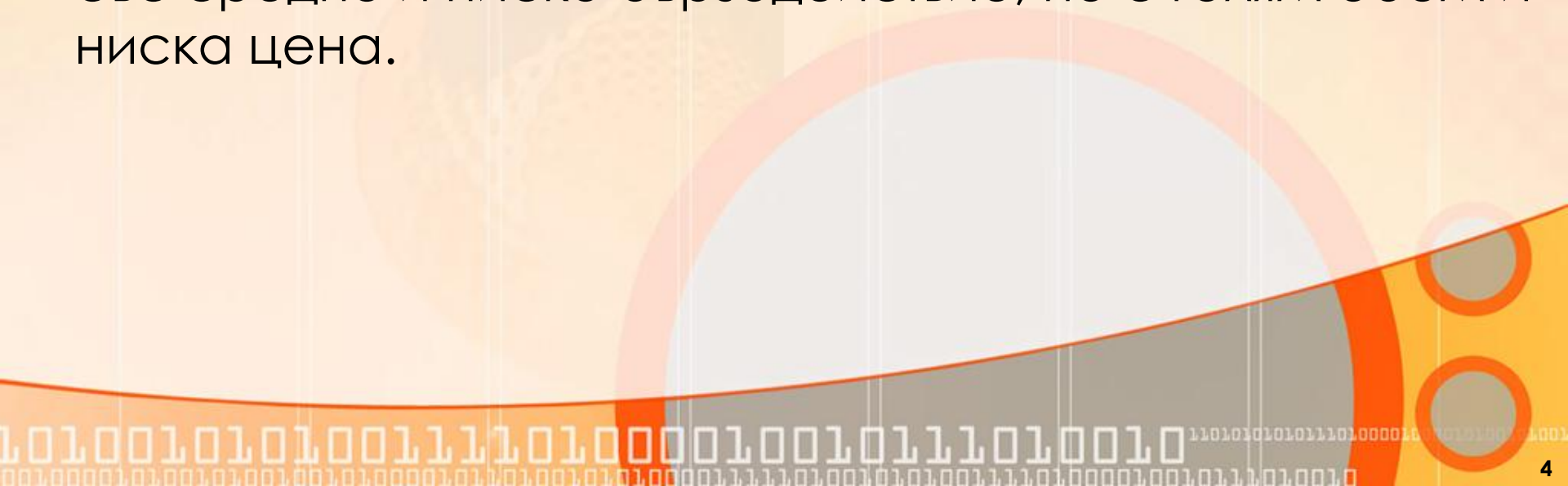
Структура на буферните памети за команди и за данни

Организация на обмена между буферната и първичната памет

Организация на запомнящата система

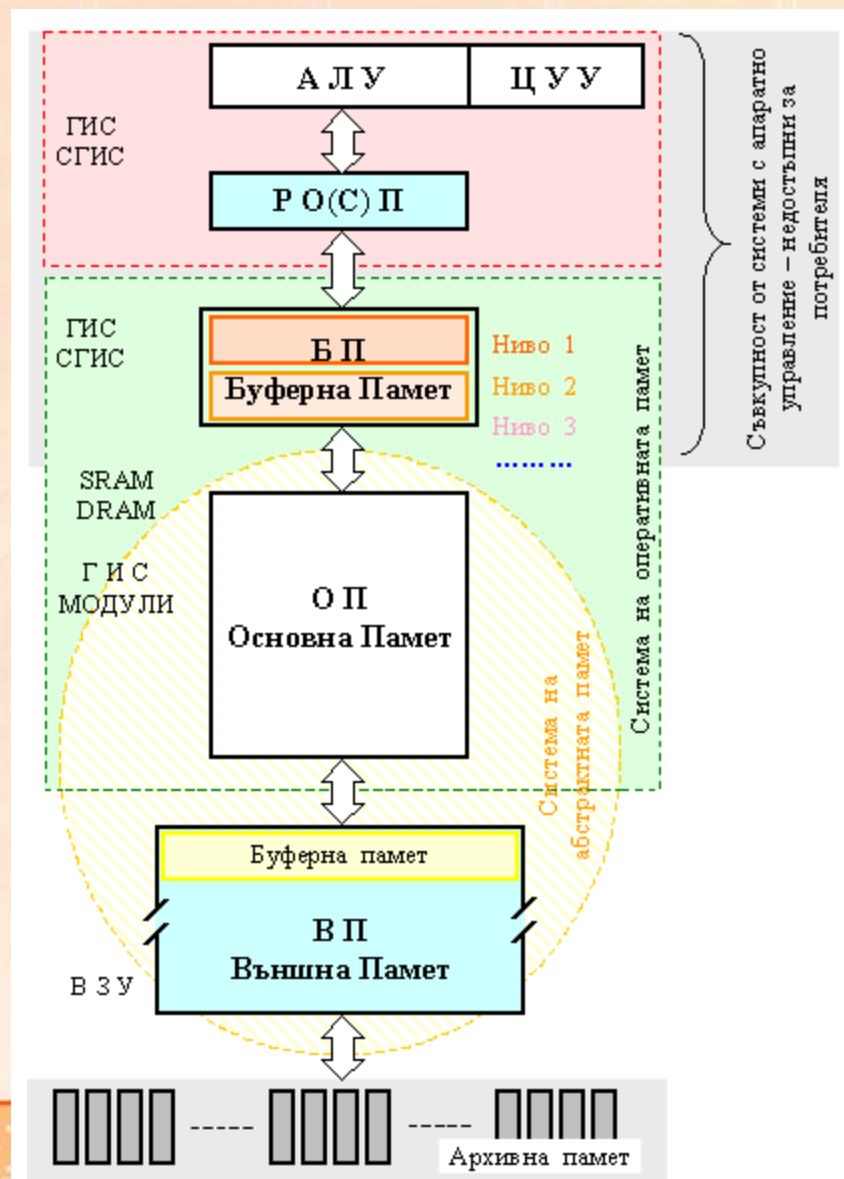
Йерархична структура на компютърната запомняща система

Компютърната запомняща система се изгражда като **йерархична система**, в която по възможно най-оптимален начин се съчетават различни по тип запомнящи устройства - както такива с високо бързодействие, имащи висока цена и в същото време не особено голям обем, така и запомнящи устройства със средно и ниско бързодействие, но с голям обем и ниска цена.



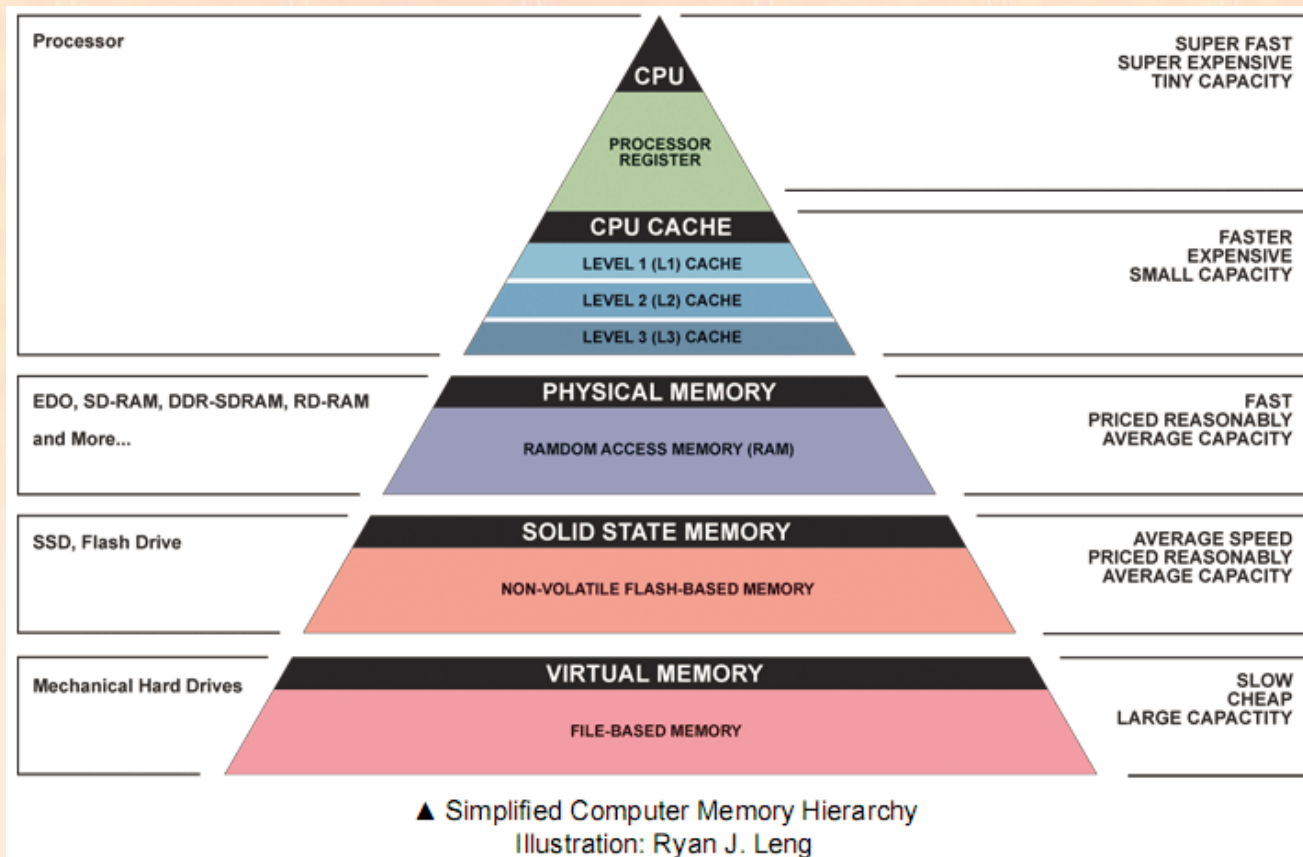
Организация на запомнящата система

Йерархична структура на компютърната запомняща система



Организация на запомнящата система

Йерархична структура на компютърната запомняща система



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Най-близо до операционната част на процесора, т.е. до АЛУ, се намира **регистровата памет**.

Съвкупността от регистри е предназначена да обслужва вътрешните потребности на процесора за съхраняване на данни.

Функционалното предназначение на отделните регистри може да бъде фиксирано или нефиксирано.

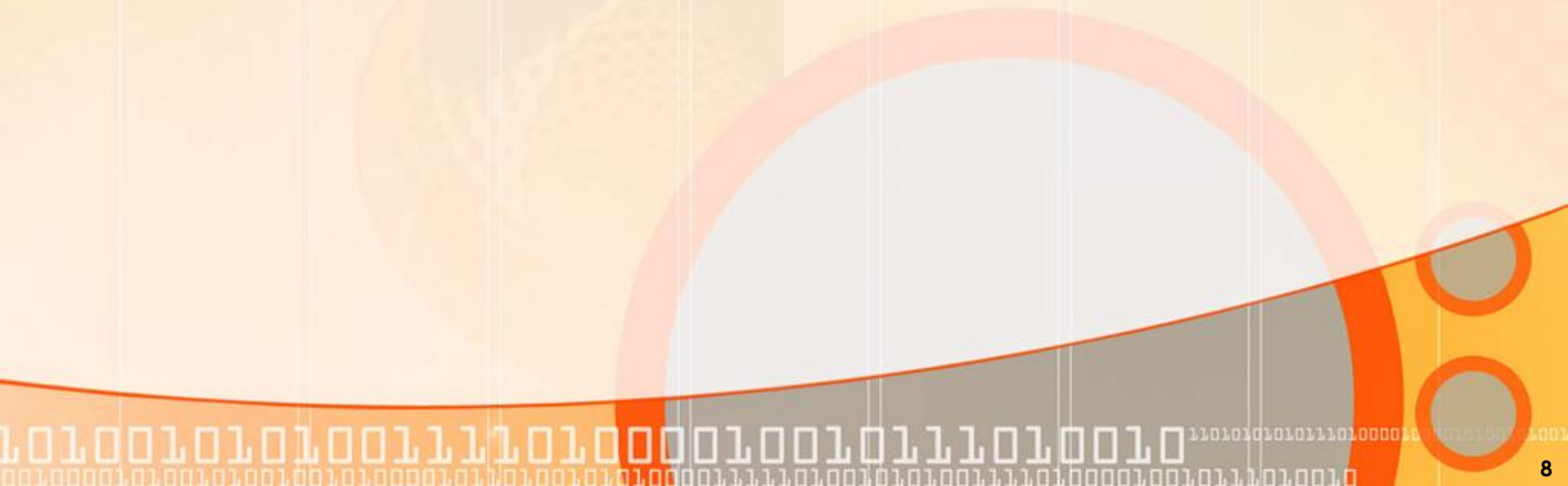
Регистровата памет обикновено се нарича *регистров файл* или още просто *регистри с общо (и/или специално) предназначение* (РО(С)П).

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Наборите от регистри в един процесор могат да бъдат няколко и да обслужват различни негови функции и потребности.

Регистрите могат да бъдат достъпни или недостъпни за потребителя.



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

По-надолу в йерархията на паметта стои буферната памет (**БП**), а после следват основната (първичната) памет (**ОП**); вторичната (външната) памет (**ВП**) и архивната памет (**АП**).



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Буферната памет има за задача да буферира информационния поток между две нива в йерархическата система, като при това съгласува различните скорости за достъп в различните нива на паметта.

Буферната памет е **междинно, спомагателно и съгласуващо** звено и като такова следва да остава **скрито** за основните нива и неговото функциониране да **не** зависи от потребителя.



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

В съвременните процесори буферната памет представлява силно развита и сложно организирана йерархична подсистема, съдържаща 3 и повече нива.

Откъм нивото на основната памет, във връзка с възможностите на съвременните интегрални технологии, се различават "вътрешна" и "външна" буферни памет.

В литературата като цяло буферната памет обикновено се нарича **кеш-памет**, т.е. скрита памет.



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Първичната памет е бавна в сравнение със скоростите в процесора. Високоскоростната преработката на данни в процесора може реално да бъде забавена от бавния процес за доставка на нови данни от паметта.

За да се намали ефектът от това несъответствие, между процесора и основната памет се въвежда буферната памет. Идеята е проста и се основава на разбирането, че буферната памет може да играе роля на **посредник** между двете нива, който при необходимост поема управлението върху трансфера на данните.

Ето защо елементната база за реализация на буферната памет трябва да бъде с високо бързодействие.



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

В реалните системи високата скорост се осигурява от една страна чрез **бързодействащи схеми**, от друга страна чрез разполагането им на **много малко разстояние** от процесора (включително чрез разполагане върху кристалната подложка на самия процесор) и на трето място чрез **специални структурни решения**.

Целият механизъм (структурните решения) трябва да бъде скрит от потребителя (или още от процесора), който разглежда паметта като напълно **хомогенно** устройство.

Това е така, защото при изпълнение на основна операция (четене или запис) машинната команда не разполага с нищо друго освен с адреса на операнда. Операциите по обмен с буферната памет са напълно автоматизирани, т.е. тяхното управление е **апаратно**.

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Механизмът, по който се обслужват операциите на обмен между процесора и първичната памет при наличието на буферна памет, се основава на достъп от вида **FIFO**, или на **асоциативен достъп**.



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Основната памет, главното изискване към която е да бъде с възможно по-голям обем, се изгражда от повечини запомнящи схеми, най-често **динамични**, т.е. DRAM.

В тази памет, наричана още **оперативна**, се съдържат данните и командите на всяка активна потребителска програма. Основната памет изпълва **физически** адресното пространство на процесора.



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Следващото ниво в йерархията на запомнящата система е **външната памет**.

Външната памет се характеризира със своята специална реализация.

Носители на информация най-често са магнитни, от които снемането, както и поставянето на информация, е свързано с механично движение. Процесите на запис и четене от такива носители се реализират върху специално проектирани устройства, т.нар. *външни запомнящи устройства (ВЗУ)*.

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Паметта, реализирана чрез външните запомнящи устройства, има много голям обем (обикновено надхвърля стократно обема на основната памет).

От трета страна скоростта на изпълнение на операции от тип четене и запис в тази памет е много по-ниска от тази в основната памет, така че проблемът дисбаланс в скоростите на обмен между тези две нива е реален и той се решава с помощта на вмъкване между двете нива на буферна памет.



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Запомняща система, в организацията на която се използва специална концепция и механизъм, с помощта на които значително се разширява обемът на основната памет, чрез разширяване на адресното пространство на процесора върху външни запомнящи устройства, се нарича **виртуална памет**.

Адресното пространство на виртуалната памет се дефинира чрез значително удължаване на адресното поле. Дългият адрес определя такъв обем на паметта, който практически може да се приеме за неограничен. Използвайки това адресно поле в качеството на **абстрактен адрес**, програмистът разглежда запомнящата система като абстрактна и хомогенна памет. Практически се приема, че той разполага с неограничен брой клетки за съхраняване на информация.

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Йерархичната запомняща система се характеризира с различни и сложни **алгоритми за обмен** на информация между различни по вид запомнящи устройства, реализиращи различните нива на системата.

За да се организира функционирането на такава система, се прилага **принципът за локално обръщение към ЗУ**. Същността на този принцип се състои в това, че разстоянието между областите в паметта, между които се извършва активен обмен, трябва да бъде сравнително малко. Областите, които имат по-активен обмен, следва да се намират в по-бързи запомнящи устройства.

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Паметта се структурира с помощта на **единица за обмен**, която се нарича **блок или пакет**. Между отделните нива в системата на паметта информацията се движи опакована в тези единици за обмен, т.е. по блокове (пакети). Прехвърлянето на един блок от едно ниво в друго ниво може да бъде извършено ефективно, ако обемът на блока е избран правилно.

Блоковете могат да бъдат определени както **с фиксиран**, така и **с променлив** обем. Все пак съществуват голям брой различни компютърни конфигурации, които обменят данни на ниво адресируема единица, т.е. клетка. Такива са обикновено системите с по-елементарна процесорна архитектура.



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Управлението на паметта изисква:

- а) Система за управление на адресното пространство;
- б) Система за съгласуване на обmena на блокове между отделните нива;
- в) Система за избор на блокове за подмяна, намиращи се в по-високото ниво и загубили активност.

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Системата за управление на адресното пространство

води на отчет незаетите с полезна информация области в паметта и реагира по подходящ начин при заявки за достъп в тези области. Обикновено когато блоковете от полезна информация са с фиксирана дължина, управляването на тяхното движение не създава трудности при намиране на свободна област и при преподреждане, с цел обединяване на свободните области. Такива трудности възникват, когато блоковете са с променлива дължина.

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Системата за съгласуване на обmena на блокове

между отделните нива управлява предаването на блоковете към по-високото ниво в паметта. Системата е длъжна да прехвърли блок с полезна информация от по-ниско към по-високо ниво по силата на някакво условие.

Условията, които се използват, са формулирани така:

- а) Само в онзи момент, когато съдържащата се в блока информация стане необходима;
- б) Само когато настъпи време за използване на информацията, определено отнапред, с оглед на предварителна подготовка преди необходимия момент.

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Системата за избор на блокове за подмяна, намиращи се в по-високото ниво, загубили активност, организира последователността от нуждаещите се за прехвърляне блокове от високите към ниските нива на паметта. Такава необходимост се появява в случаите, когато втората система не може да осъществи прехвърляне поради липса на свободни области за блок, движещ се от по-ниско към по-високо ниво.



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Алгоритмите за управление на паметта зависят от общата концепция на конструкторите за организация на адресното пространство на даден процесор.



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Регистрова памет

Регистровата памет се реализира върху кристалната подложка на процесора.

Регистрите, които са свързани със структурата и с обслужването на АЛУ, обикновено имат **размерите на разрядната мрежа**.

Наборът от регистри с общо предназначение може да бъде организиран като запомнящо устройство с произволен достъп или като запомнящо устройство с последователен достъп (например в АЛУ за работа с плаваща запетая).

Обемът на отделните набори регистрова памет е малък, най-често в пределите максимум до 128 клетки за тези с общо предназначение или в обем, определен според функционалното предназначение и вида на устройството в чиято структура се намират.

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Буферна памет

Ролята и мястото на буферната памет в йерархията на запомнящата система е на посредник между две съседни нива, чиято задача е да “изглажда” конфликтите при обмена на данни между тях.

Два информационни потока – команден (еднопосочен) и даннов (двупосочен).

Главната задача на буферирането е да съгласува високата скорост на процесора с ниската скорост на обмен с паметта.

Във връзка с предназначението си, а именно да повишат производителността на паметта, буферните запомнящи устройства се наричат още **сврхоперативни** (СОЗУ).

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Буферна памет – буфери за данни

В непосредствена близост до паметта могат да се изграждат едноразмерни буфери, които съдържат данни, очакващи записване си и прочетени данни, очакващи своето използване.

Според тази интерпретация може да се говори за **буфери за запис** и за **буфери за четене**.

Този тип буфери представляват просто **опашки**, т.е. тяхната логическа структура се определя от дисциплината FIFO.

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Буферна памет

Принципът на буфериране се прилага:

- на процесорно ниво, в това число и на микропрограмно ниво,
- в структурите на интегралните схеми на RAM-паметта,
- при управление на входно-изходната система и обмена на данни с външните устройства,
- в многопроцесорните системи и комплекси,
- в компютърните мрежи,
- при реализация на множество софтуерни проблеми
- и в много др.

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Буферна памет

В буферната памет, която посредничи между процесора и основната памет, се реализират по един или друг начин следните идеи:

- За изпреварващото извличане на данни и на машинни команди;
- За предварителен анализ на машинните команди;
- За “предсказване” на алгоритмичните преходи;
- За спекулативното изпълнение на машинните команди ;
- За планирано изменение реда на изпълняващите се команди;
- За множеството FIFO-буфери (опашки), поемащи данновите потоци включително и на микрокомандно ниво.

Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Буферна памет

Алгоритми за управление на особените ситуации – принудително изпразване на опашките, стратегиите за избор и изхвърляне на блокове от кеш-паметите;

В тази част се реализират алгоритмите за конвейерно управление на изчислителния процес и алгоритмите за управление на суперскаларността и многофункционалното апаратно насищане, с помощта на което може да се реализира естественият паралелизъм на последователно запрограмираните операции;

Структурите с няколко процесорни ядра също следва да се обслужват от буферната памет;



Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Буферна памет

Средствата и алгоритмите за реализация на виртуалната памет, които имат пряко отношение към придвижването на информацията по всички нива на йерархичната запомняща система;

Допълнителни утежняващи обстоятелства, свързани с факта, че всичко, ставащо по различните нива на буферната система, протича на фона на непрестанния поток от всевъзможни **прекъсвания**, от прекъсвания в контролни точки (при трасиране), от грешки поради лошо предсказани преходи и всички извънредни ситуации в работата на процесора, които той следва да успява да обработи.



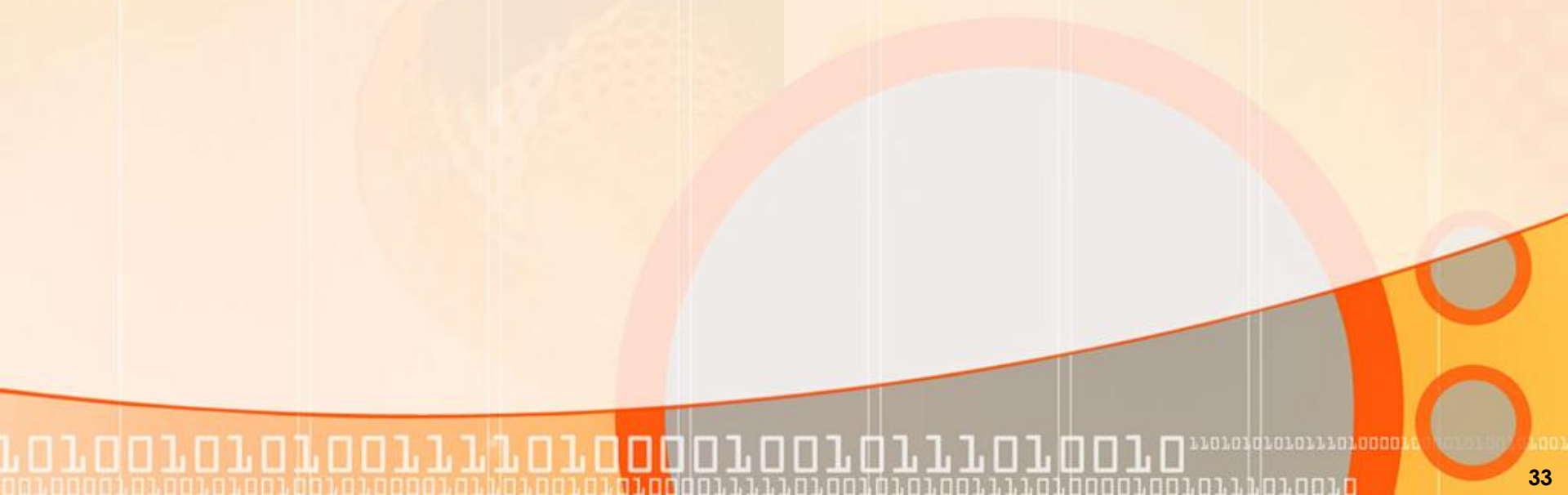
Организация на запомнящата система

Йерархична структура на компютърната запомняща система

Буферна памет

Тази памет представлява сложна йерархична структура, и тя функционира като **невидима** за програмиста.

Последното означава, че той **не** разполага със средства за нейното управление, т.е. той **не може** да ѝ повлияе.



Организация на запомнящата система

Буфериране на машинни команди

Ходът на изчислителния процес зависи от реално изпълняващите се алгоритмични преходи и в частност от машинните команди за управление на преходите.

Това означава, че *предварителното извличане на командите трябва да се извършва в съответствие с хода на програмата, а не с техния последователен ред.*

От тук следва изводът, че извличането на машинните команди следва да бъде съпроводено с техния **предварителен анализ**.

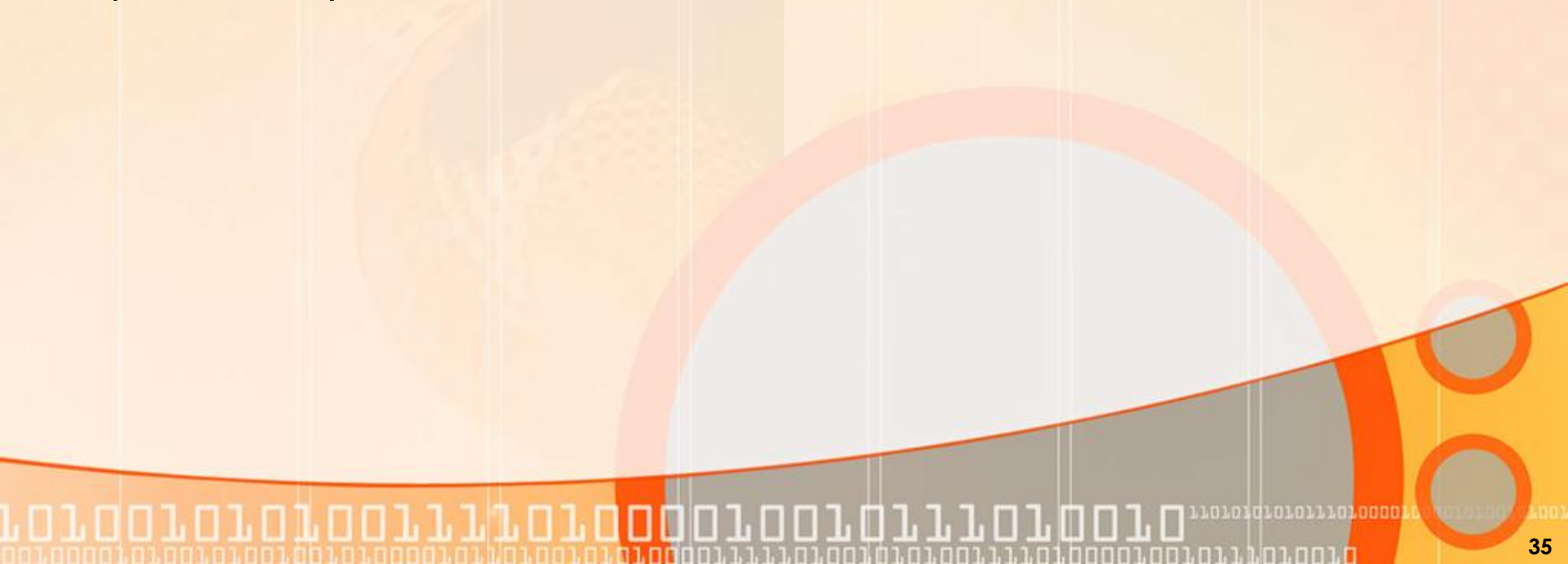
Целта на предварителния анализ на всяка машинна команда е да се разпознае нейната принадлежност към групата за управление на прехода.



Организация на запомнящата система

Буфериране на машинни команди

Възможностите са две – ако тя не е от тази група, това означава, че в следващите последователни адреси се съдържат най-вероятните за изпълнение команди. Тогава извлечената команда се записва в буфера (в опашката от извлечени и подготвени за изпълнение машинни команди), а съдържанието на програмния брояч се увеличава.



Организация на запомнящата система

Буфериране на машинни команди

Ако извлечената машинна команда се окаже команда за **безусловен преход**, тя **не се записва** в буфера.

Машинната команда за безусловен преход всъщност променя рязко последователността от изпълняващи се команди, като посочва друга начална точка, чрез адреса за преход.

В този смисъл изпълнението на тази машинна команда може да бъде осъществено още по време на нейния предварителен анализ, без тя да достига операционната част на процесора.



Организация на запомнящата система

Буфериране на машинни команди

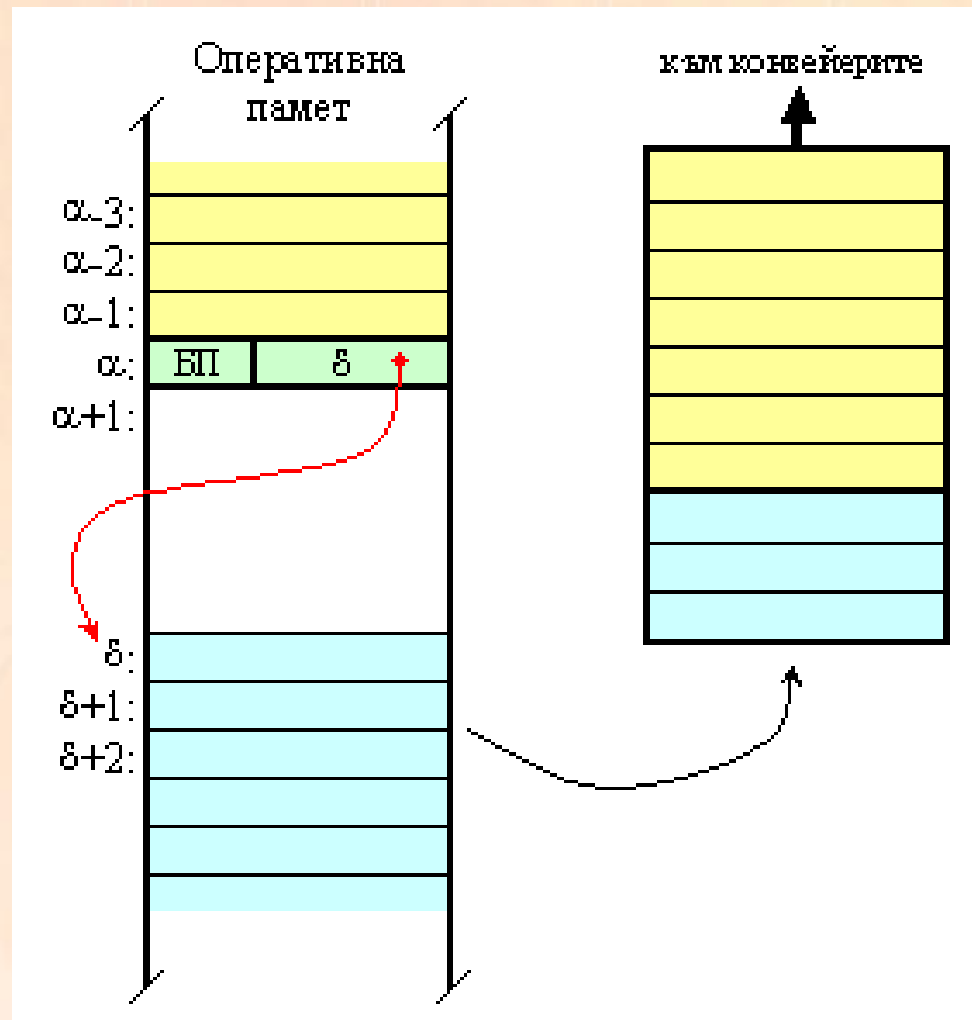


Схема за буфериране при команда за безусловен преход (БП)

Организация на запомнящата система

Буфериране на машинни команди

В случай че анализираната машинна команда се окаже команда за **условен преход**, тя се записва в буфера, но без да може да се изпълни.

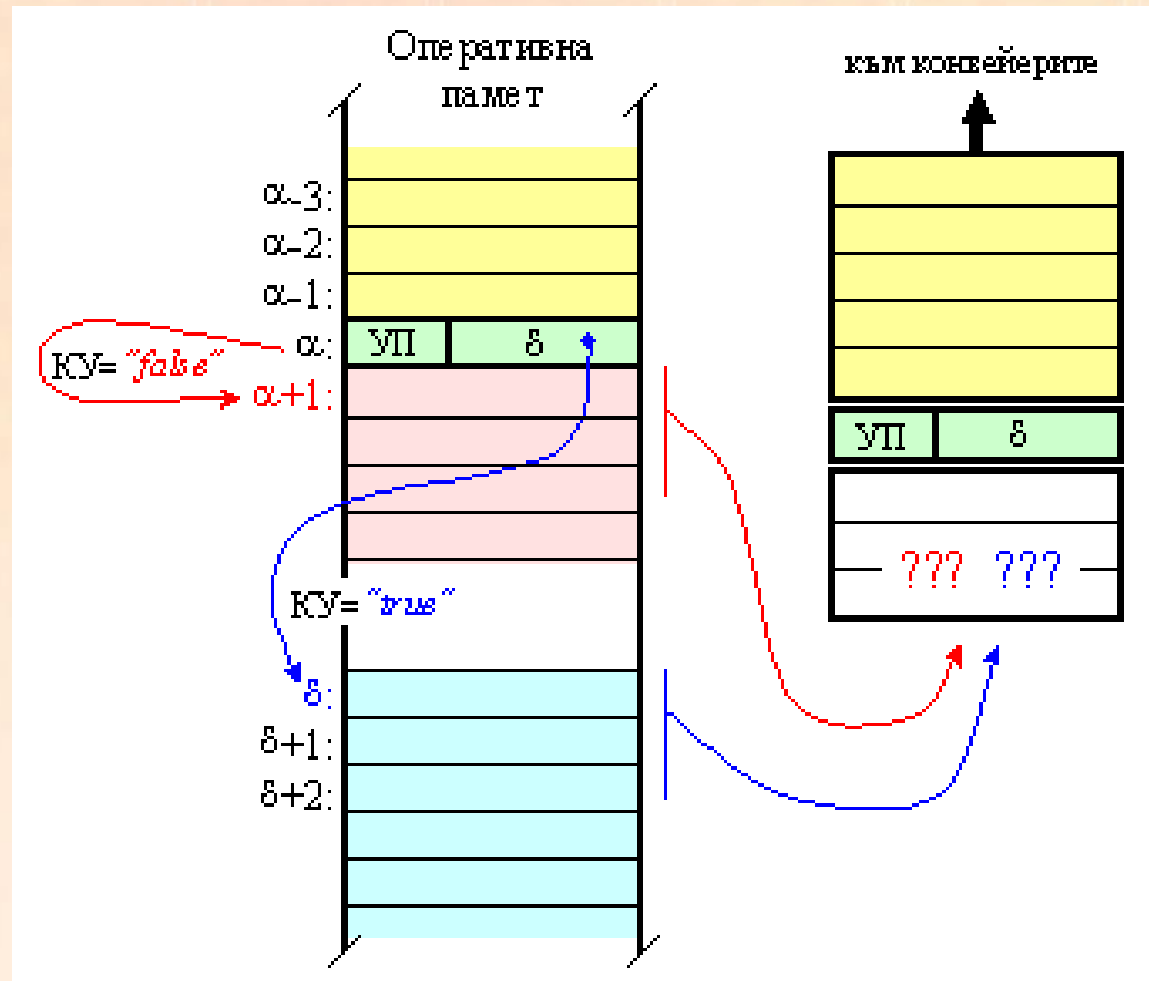
Проблемът е в това, че докато не бъде изпълнена стоящата преди нея в опашката машинна команда, ходът на изчислителния процес е *неизвестен*.

А възможностите за него са две – или преход към следващия по ред адрес, или преход към свършено различен адрес, вписан в самата команда.

Като имаме предвид, че подготвените в опашката команди продължават да се придвижват към непрекъснато работещите конвейери, другият край на опашката ще започне да се опразва и спешно следва да се вземе решение как да продължи процесът на извличане на команди.

Организация на запомнящата система

Буфериране на машинни команди



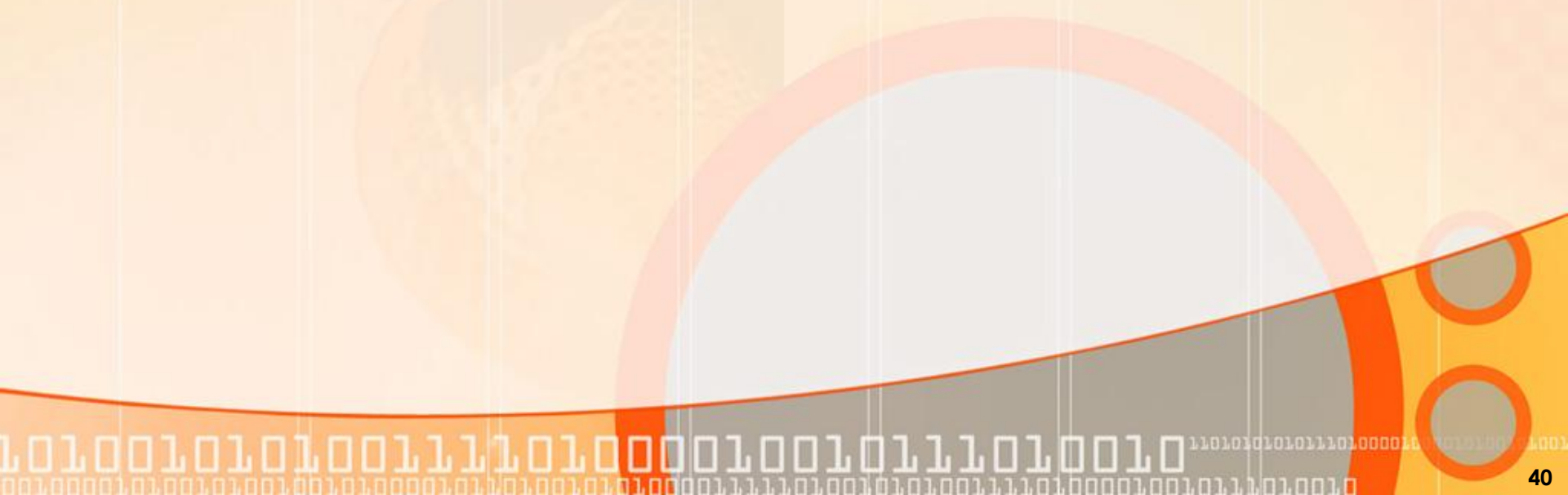
Въпросът за избор при буфериране след команда за условен преход (УП)

Организация на запомнящата система

Буфериране на машинни команди

Възможни са няколко конструктивни решения за горе формулираната задача:

- Временно блокиране на буфера до фактическото изпълнение на условния преход;
- Организиране на конкурентни опашки (опашки и за двете разклонения);
- Извличане чрез предсказване на прехода.

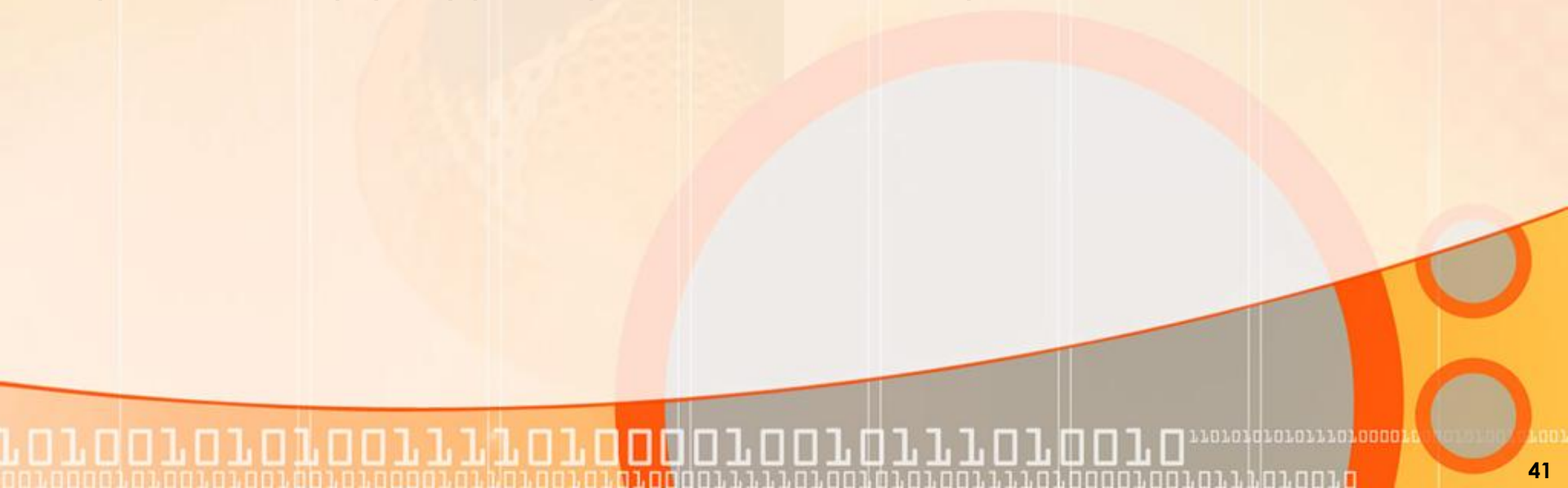


Организация на запомнящата система

Буфериране на данни – кеш памет

Един от елементите в запомнящата система е значително по-производителен - това е централният процесор, т. е. всичко онова, което е разположено върху интегралната схема, която наричаме микропроцесор.

По тази причина буферирането на трансфера на данни между тези две нива за сега остава едно трайно структурно решение на проблема.



Организация на запомнящата система

Буфериране на данни – кеш памет

Буферирането се постига чрез междинна допълнителна бързодействаща памет с неголям обем, играеща ролята на посредник.

Главното разбиране за тази памет е, че тя не се намира в адресното пространство на процесора и не може да се адресира от машинните команди.

С други думи, тя е невидима за програмата (за потребителя), откъдето произлиза и името ѝ – *кеш памет (cache memory)* – скрита памет.

Кеш паметта се реализира като бърза статична RAM-памет.



Организация на запомнящата система

Буфериране на данни – кеш памет

Задачите, които се възлагат на кеш паметта, са следните:

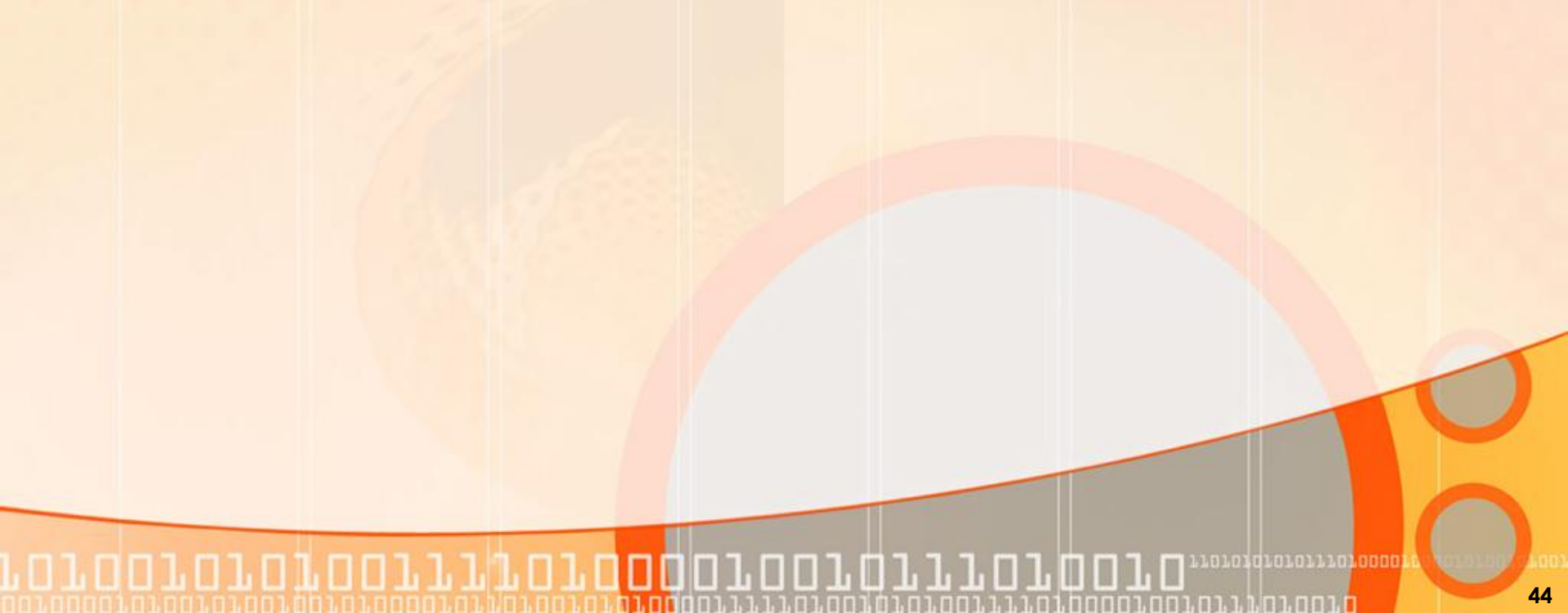
- Осигуряване на бърз достъп до интензивно използваните данни;
- Съгласуване на интерфейса на процесора и на контролера на паметта;
- Предварително зареждане на данните;
- Отложен (задържан) запис на данните.

Организация на запомнящата система

Буфериране на данни – кеш памет

Работата на потребителските програми се характеризира с временно задържане на обръщенията, които те извършват в оперативната памет, в ограничени по обем адресни области.

Принцип за локализиране на програмното действие –
има два аспекта: **пространствен и временен.**



Организация на запомнящата система

Буфериране на данни – кеш памет

Изхождайки от принципа за локално действие на програмата, може да се допусне, че клетките, в които е ограничено това действие, формират така наречения **блок** (фрейм - *frame*).

В интерес на повишената производителност, към която се стремим, е лесно разбираемо, че е изгодно в буферната памет да **се съдържа копие** от онази малка област, в която се намират актуалните за момента данни.

Буферираните данни са копие на съдържащите се в основната памет, при което те се озовават в непосредствена близост до процесора, с всички произтичащи от това ползи.

Блокът в същност е едно копие, в което данните се съдържат с минимално излишество.

Организация на запомнящата система

Буфериране на данни – кеш памет

Бързият достъп до данните, в условията на буферна памет, следва да се обезпечи единствено чрез **подходящо използване на техния адрес**, който формира процесорът.

Ако на пътя на излизащия от процесора адрес стои кеш паметта, в която се съдържат копия на някои области от оперативната памет, то е естествено най-напред да се провери дали съдържанието на клетката, която сочи той, не се намира в някое от тях.

Ако проверката установи такъв факт на присъствие, събитието се нарича **кеш-попадение** (*cache hit*), в противен случай събитието се нарича **кеш-пропуск** (*cache miss*).

Организация на запомнящата система

Буфериране на данни – кеш памет

Като се отчете фактът, че кеш паметта не може да бъде адресируема, то достъпът до данните в нея може да бъде единствено **асоциативен**.

В ролята на асоциативен признак е възможно да бъде използван **единствено адресът**, който процесорът е формирал.

Ако в кеш паметта се намират копията на много клетки, единствената прилика, която може да се установи между тях е, че техните адреси се различават само в **младшите** си няколко разряда, а старшата им част е еднаква.



Организация на запомнящата система

Буфериране на данни – кеш памет

Методът за достъп в кеш паметта (в буферната памет за данни) следва да бъде **асоциативен**, като за асоциативен признак на търсенето трябва да се използва старшата част на адреса.

Този асоциативен признак се нарича още **tag** (от *tag* - връзка).

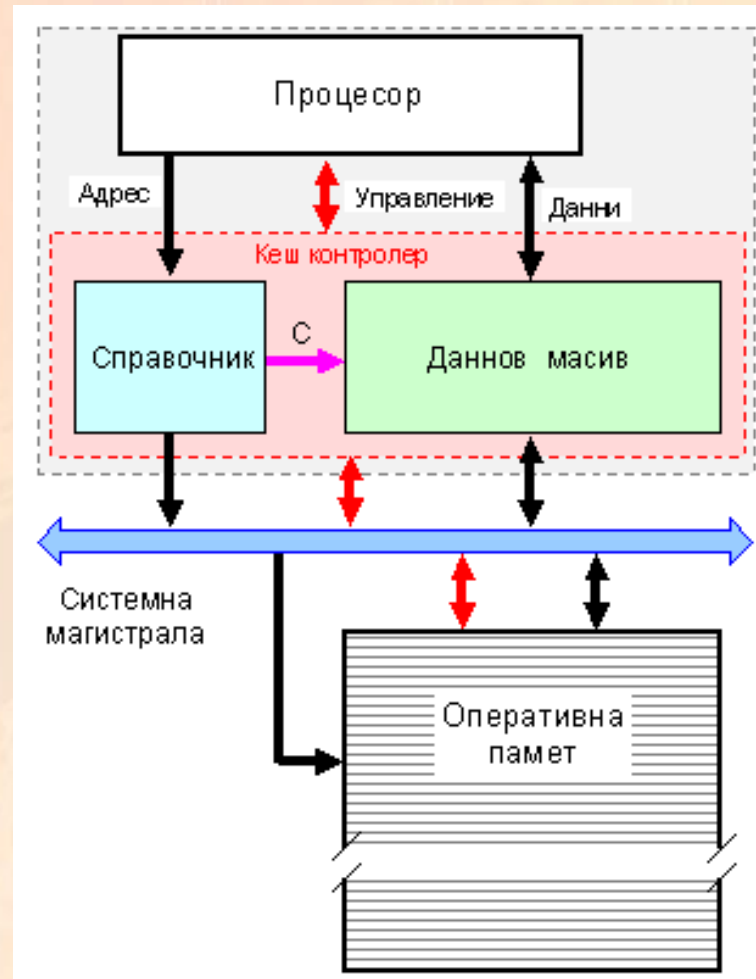
При това положение кеш паметта усложнява своята структура в сравнение с тази на асоциативното запомнящо устройство, тъй като тя, за разлика от него, освен асоциативните признаци, трябва да съхранява и съответстващите им данни.

Така логическата структура на кеш паметта се състои от два основни елемента - **справочник и даннов масив**.



Организация на запомнящата система

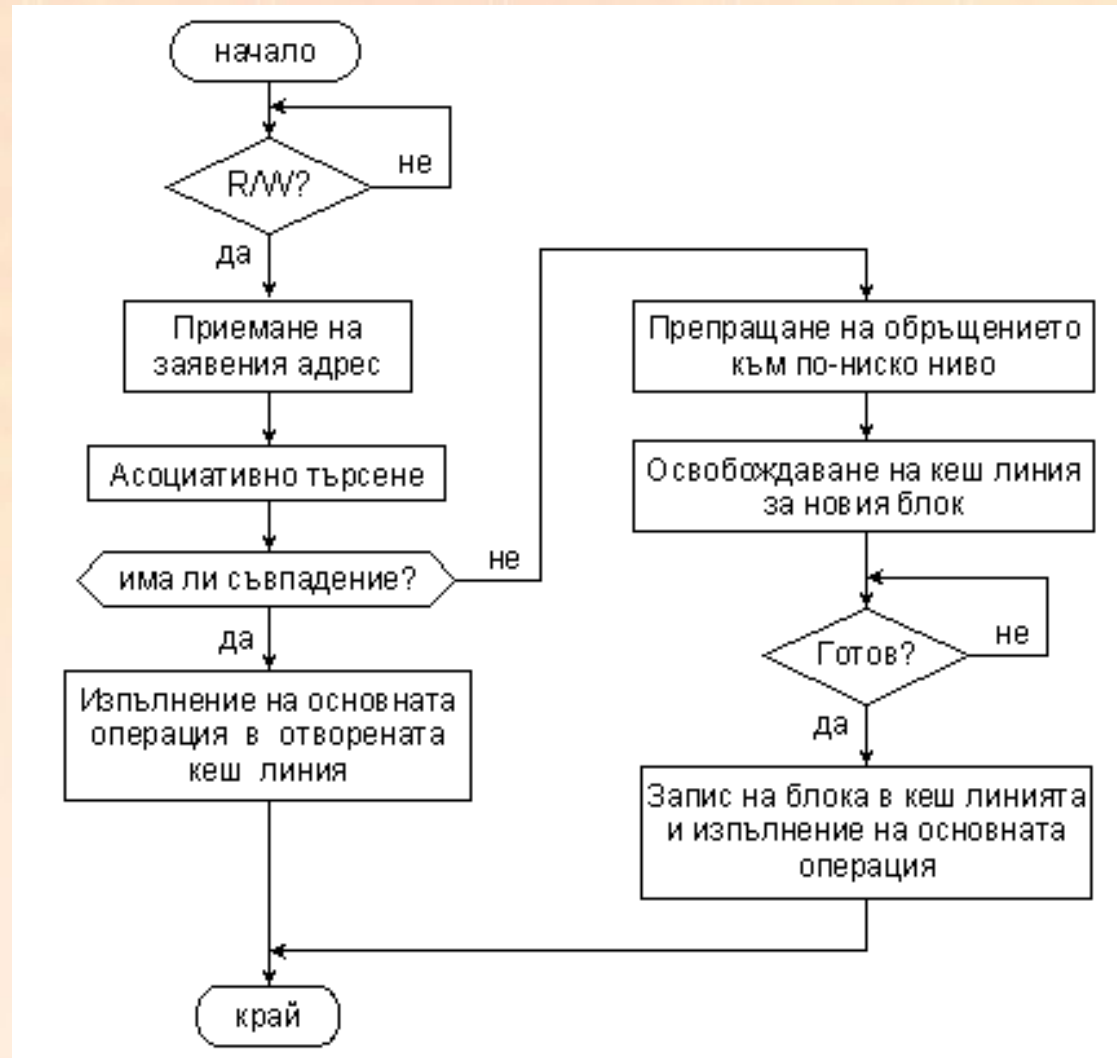
Буфериране на данни – кеш памет



Обща структура на кеш памет

Организация на запомнящата система

Буфериране на данни – кеш памет



Обобщен алгоритъм за функциониране на кеш паметта

Организация на запомнящата система

Концепция за виртуална памет

Задачата за управление на йерархическата памет от страна на програмиста е твърде сложна.

В същото време, разполагането на едно програмно осигуряване по продължението на двете нива на запомнящата система създава впечатлението, че адресното пространство е разширено по посока на външната памет.

В тази връзка естествено възниква желанието за една хомогенна (единна) интерпретация на запомнящата система.



Организация на запомнящата система

Концепция за виртуална памет

Единната интерпретация е възможна само като **абстрактна**.

Понятието “логическо” или още “**виртуално адресно пространство**”, обвързва в една обща апаратно-програмна система скъпата и бърза оперативна памет с бавната и евтина външна памет.

Абстрактната интерпретация на запомнящата система е възможна само чрез понятието **адресно пространство**.

Практически физическата запомняща система, която е съставена от различни запомнящи устройства, може да се разбира като хомогенна, само ако на нея се гледа като на едно "неограничено" по обем адресно пространство.



Организация на запомнящата система

Концепция за виртуална памет

Системата, състояща се от тази интерпретация, от механизмите за реализация на съответствието между абстрактните (логическите) и физическите адреси и механизмите за управление на обmena между основната и външната памет, се нарича **виртуална памет**.

Виртуалната памет е адресируема памет.

Адресът се нарича **виртуален**.

Съставните части на виртуалната памет позволяват на програмиста, при реализиране на потребителската задача, да разглежда компютърната запомняща система като **памет с едно ниво**, принадлежаща единствено на неговата програма.



Организация на запомнящата система

Концепция за виртуална памет

Механизмите на виртуалната памет се реализират с апаратни и програмни средства.

Основните задачи, които се решават с помощта на тези механизми, са:

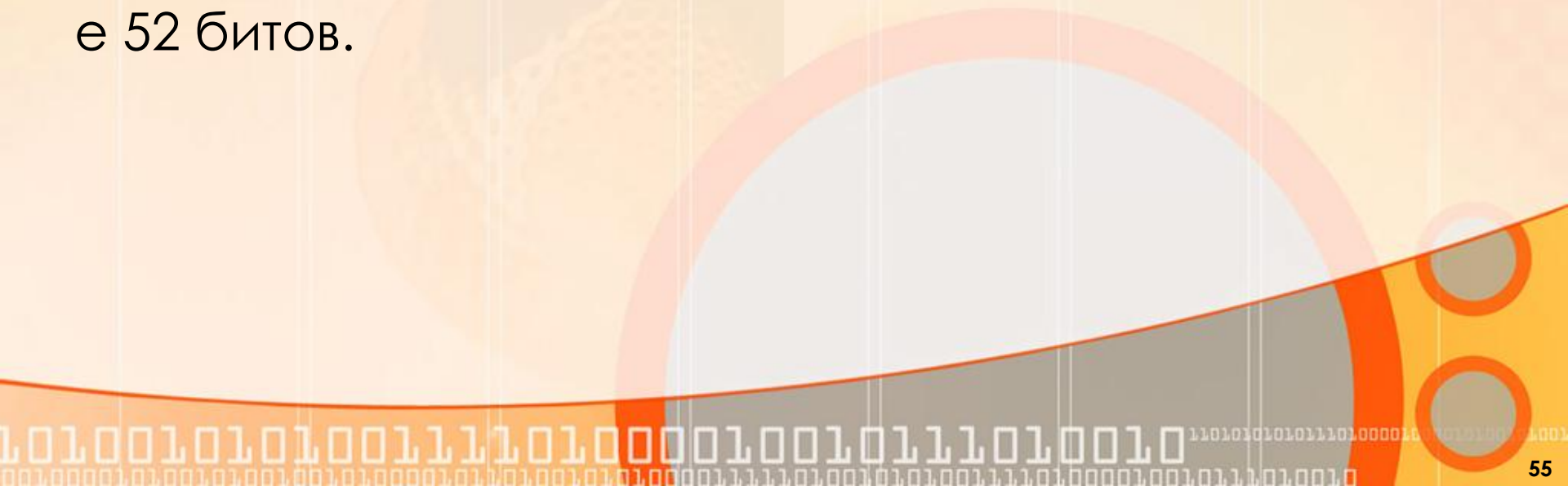
- а) Преобразуване на виртуалните адреси във физически;
- б) Управление на динамичното разпределение на информацията между отделните нива на физическата памет по време на хода на изчислителния процес;
- в) Защита на информацията от опити за неправомерно използване, което е възможно поради нейното движение по йерархията на паметта.

Организация на запомнящата система

Концепция за виртуална памет

За да може процесорът (който олицетворява програмиста) да работи в абстрактното адресно пространство на виртуалната памет, трябва да притежава система за поддръжка на значително по-дълги адреси от тези, необходими за работа с основната памет.

Така например в процесор *Pentium* дължината на виртуалния адрес е 48 бита, а в процесор *PowerPC* той е 52 бита.



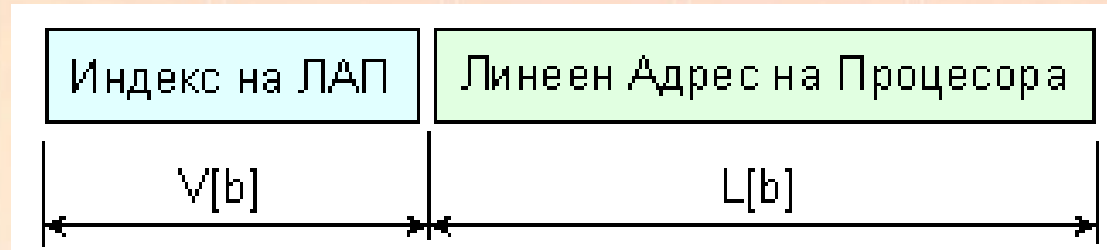
Организация на запомнящата система

Концепция за виртуална памет

Структура на виртуалния адрес

Структурата на виртуалния адрес се състои от 2 полета:

- Индекс на линейното адресно пространство на процесора;
- Линеен адрес на процесора.



Индексът, с дължина от $V[b]$, представлява старшата част на виртуалния адрес. Младшата част на виртуалния адрес съдържа линейния адрес на процесора, с дължина $L[b]$.

Обемът на физическото адресно пространство на процесора се определя от дължината на този адрес: $Q = 2^L$

При типичната дължина $L=32[b]$, обемът на адресното пространство на процесора е $Q=4[G]$.

Съдържанието на полето индекс се управлява от операционната система и то не е структурен елемент на машинните команди.

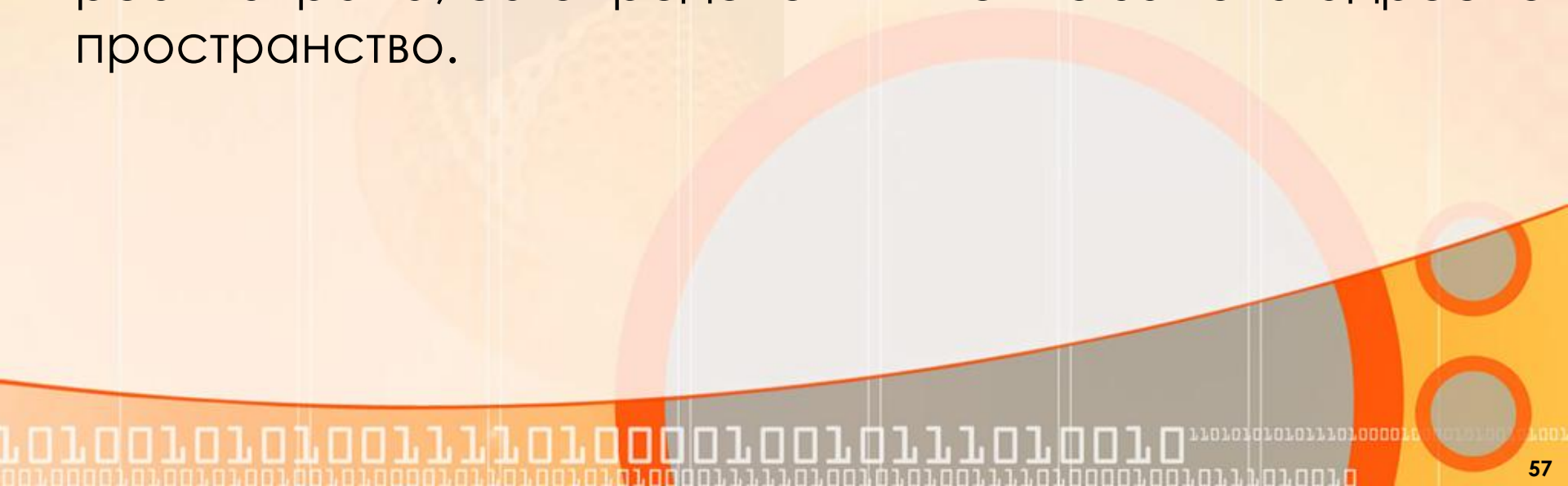
Организация на запомнящата система

Концепция за виртуална памет

Структура на виртуалния адрес

Всяка отделна програма притежава формално цялото адресно пространство на процесора и разполага в него съставните си части както за нея е най-удобно.

Адресното пространство на всяка отделна програма има размерите на адресното пространство на процесора, защото машинните команди, с които е реализирана, са определени именно за това адресно пространство.

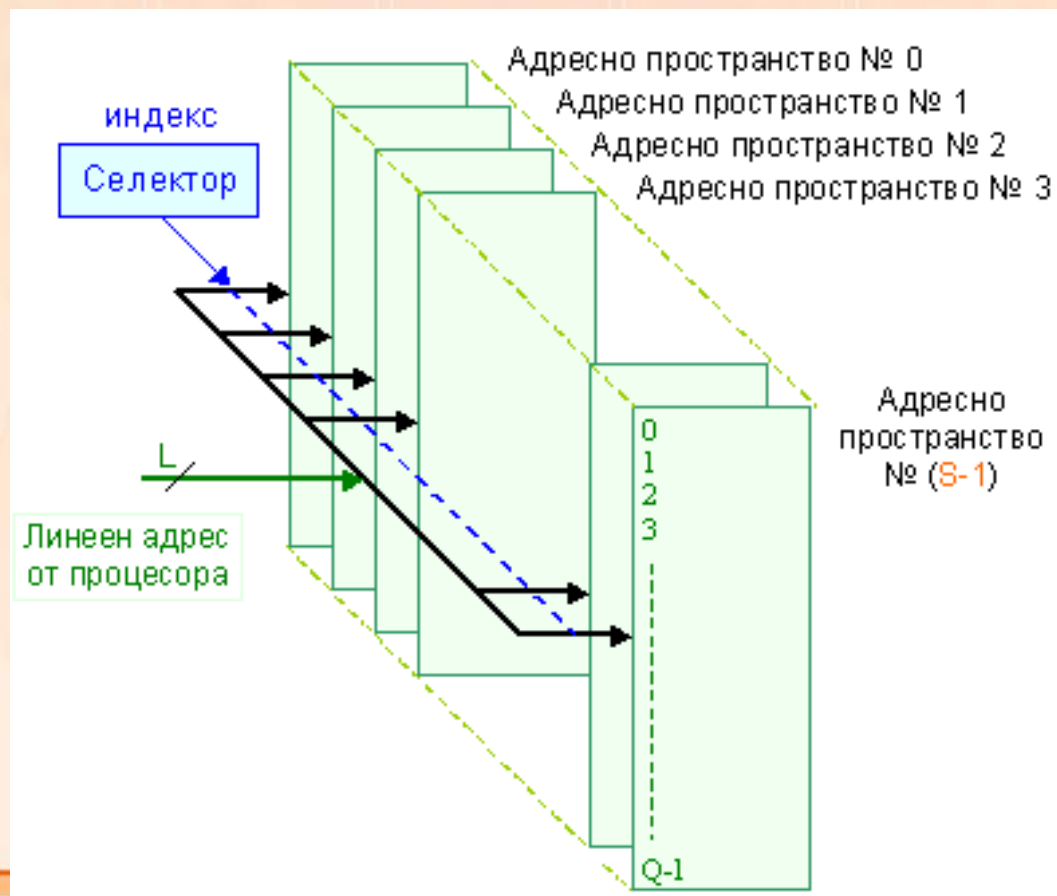


Организация на запомнящата система

Концепция за виртуална памет

Структура на виртуалния адрес

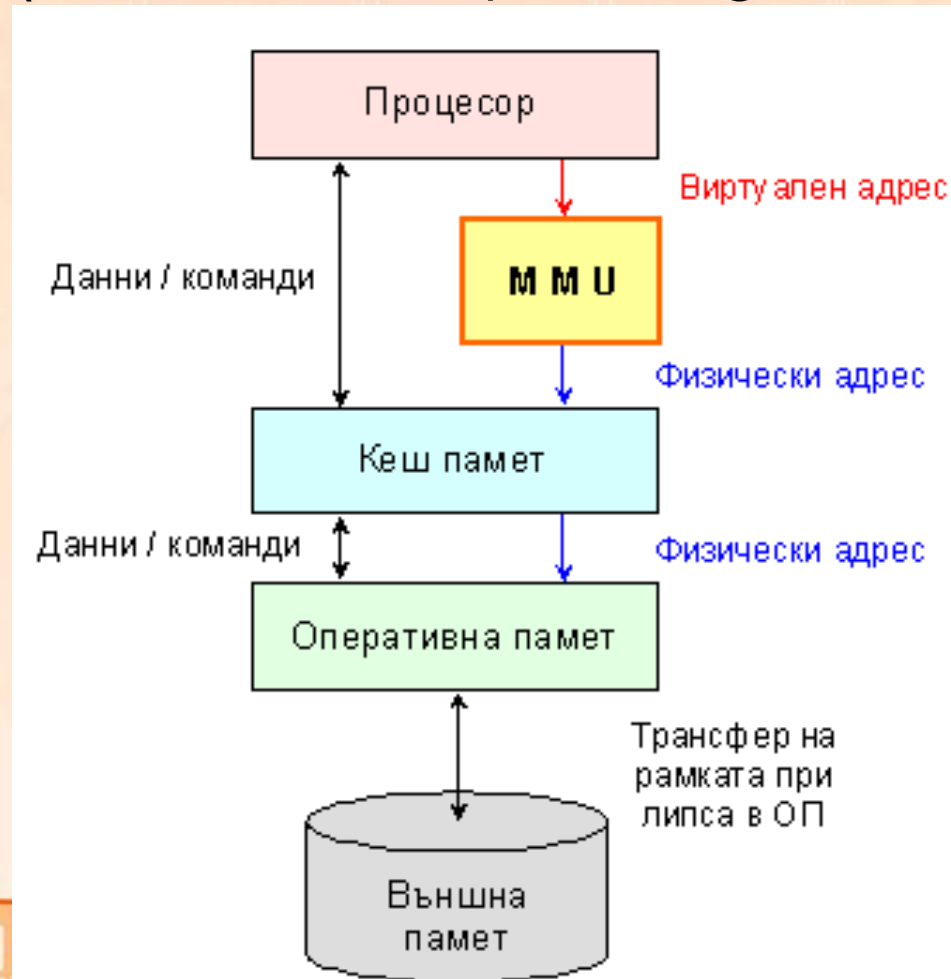
Виртуалната памет представлява един набор от **паралелни адресни пространства**.



Организация на запомнящата система

Концепция за виртуална памет

Задачата за преобразуване на виртуалния адрес във физически се възлага на устройството за управление на паметта (MMU – *Memory Management Unit*).



Организация на запомнящата система

Концепция за виртуална памет

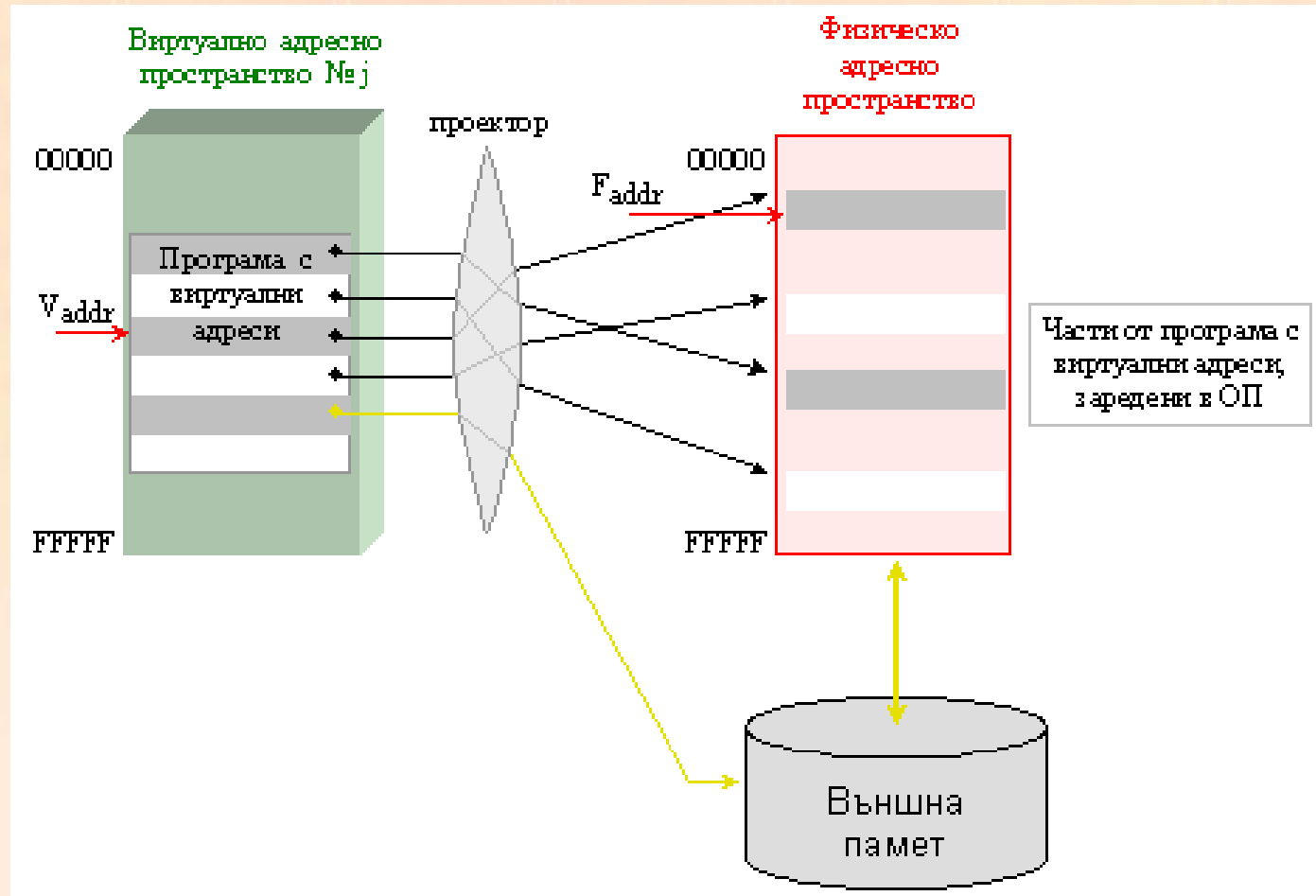
Обикновено зареждането на потребителските програми е свързано с тяхното разделяне на по-малки (съставни) части, които могат да имат различни или еднакви размери, с което се цели по-ефективно използване на физическата памет.

Структурирането на програмите позволява разнообразни ситуации при тяхното зареждане в оперативната памет.

Каквито и да са тези ситуации обаче, заявеният от програмата (командата) (процесора) виртуален адрес следва да бъде проектиран (преобразуван) в правилен физически адрес.

Организация на запомнящата система

Концепция за виртуална памет



Съответствие при структурирана програма

Литература

- [1]. <http://tyanev.com/> - On-line книги – ОРГАНИЗАЦИЯ НА КОМПЮТЪРА – книга [1]
- [2]. Димитър Тянев, ОРГАНИЗАЦИЯ НА КОМПЮТЪРА, том първи (ISBN 978-954-20-0412-7), Варна 2008г.