

**Конспект**

**по дисциплината „Микропроцесорни системи“  
за специалност „Компютърни системи и технологии“**

- I. Историческо развитие на 32- и 64-разрядните x86 микропроцесори на Intel**
- II. Суперскаларни микроархитектури на някои от x86 процесорите на Intel**
  1. Фамилия P6: Вътрешна структура и организация на Pentium II.
  2. Архитектура NetBurst: Pentium 4. Технология Hyper-Threading.
  3. Многоядрени архитектури: Core, Nehalem, Sandy Bridge, Haswell, Skylake
- III. Типове данни при 32- и 64-разрядните x86 микропроцесори**
  4. Основни и числови типове данни. Указатели, полета и стрингове.
  5. Векторни данни MMX и SSE. BCD и пакетирани BCD типове данни. Числа с плаваща запетая.
- IV. Програмен модел и система команди при x86 микропроцесорите**
  6. Програмен модел и система команди.
  7. Организация на адресното пространство. Сегментни регистри. Флагове.
- V. Системна архитектура на x86 микропроцесорите**
  8. Режимы на работа. EFLAGS. Управляващи регистри. Полета и флагове.
  9. Регистри за управление на паметта. Структури от данни.
- VI. Управление на паметта в защитен режим. Сегментация**
  10. Общо за управлението на паметта. Физическо адресно пространство. Структури за сегментация.
  11. Сегментация на паметта. Регистри. Преобразуване на адреса. Сегментни модели на паметта.
- VII. Управление на паметта в защитен режим. Странициране**
  12. Режимы на странициране при x86-64 микропроцесорите. Йерархични структури. 32-битово странициране.
  13. PAE странициране. Странициране на 4 нива.
- VIII. Защити при 32- и 64-разрядните x86 микропроцесори**
  14. Нива на привилегии. Полета и флагове. Защити при пряк достъп до сегменти в 32- и 64-битов режим.
  15. Защити при косвен достъп до сегменти. Защити при достъп до страници в 32- и 64-битов режим.
- IX. Прекъсвания и изключения при x86 микропроцесорите**
  16. Видове прекъсвания и изключения. Вектори. Източници на прекъсвания. Системни структури за обработка на прекъсвания и изключения.
  17. Обслужване на прекъсвания и изключения в 32- и 64-битов режим. Превключване на стековете.
- X. Управление на задачите при 32- и 64-разрядните x86 микропроцесори**
  18. Задачи в защитен 32-битов режим – същност, структура, състояние и изпълнение. Даннови структури за управление на задачи.
  19. Превключване на задачи в 32-битов режим. Вложени задачи. Разполагане на задачите в паметта. Управление на задачите в 64-битов режим.
- XI. Организация на шината при някои x86 микропроцесори**
  20. Шинен интерфейс. Функционални групи сигнали при i486 и Pentium. Единични цикли за четене и запис.
  21. Цикли за четене и запис. Особености на шината при фамилията P6. Арбитраж.
- XII. Директен достъп до паметта**
  22. DMA контролер тип 8237. Структура, сигнали и режими на работа. Времедиаграма на DMA трансфер чрез 8237
- XIII. Средства за изграждане на SMP мултипроцесорни системи**
  23. Средства за изграждане на SMP системи - заключване на шината, сериализиращи средства, APIC, съгласуваност на кеш паметите
- XIV. Контролери за прекъсвания I8259A и APIC**
  24. Цикъл за потвърждаване на външно прекъсване. Контролер I8259A.
  25. Структура и функциониране на локален APIC.

**Литература:**

1. Intel 64 and IA-32 Architectures Software Developer's Manual, Combined vol. 1-4, Dec. 2017
2. Intel 64 and IA-32 Architectures Software Developer's Manual Volume 3A-part-1 Sep. 2016
3. Рускова Н. Микропроцесорни системи. Ръководство за лаб. упражнения Печатна база при ТУ-Варна, 1999
4. AMD64 Architecture Programmer's Manual Volume 1: Application Programming, Publication No. 24592, Revision 3.20, May 2013
5. AMD64 Architecture Programmer's Manual Volume 2: System Programming, Publication No. 24593, Revision 3.32, October 2019

**Лектор:** гл. ас. д-р инж. **Милен Ангелов**

**Формат на изпита:**

Писмен изпит с два въпроса от конспекта и последващо събеседване. Времетраене на писмения изпит – 120 мин.

**Оценка:**

- Точките от текущ контрол (до 40т.) се събират с точките, получени от изпита (до 60т.)