



Изкуствен интелект

Тема #20

*Методи за апаратна реализация на
алгоритмите за AI*



Съдържание

Понятие за приложение работещо в реално време
(real-time application)

Алгоритми за ЦОС

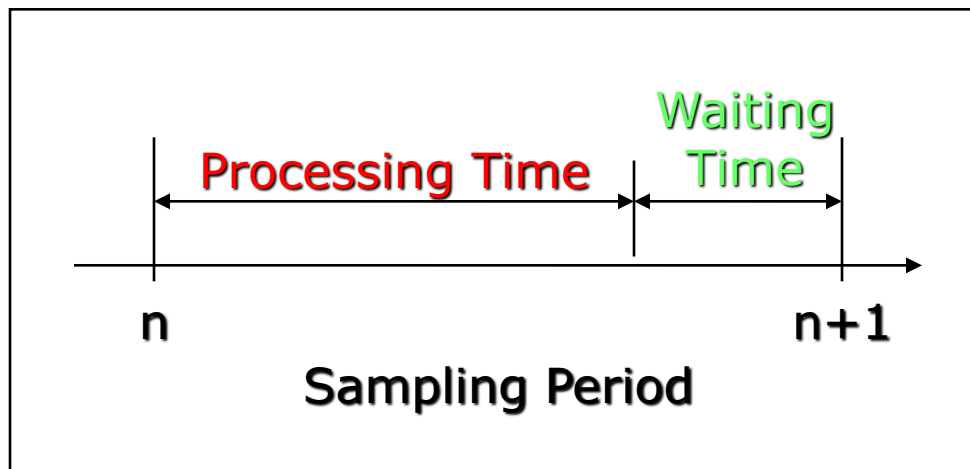
Защо да използваме процесори за ЦОС?

Процесори за ЦОС vs. Процесори с общо
предназначение

Програмируеми vs. ASIC DSP

Фамилия процесори TMS320 за ЦОС

Понятие за реално време



- “Waiting Time” ≥ 0
- Дефиницията зависи от конкретното приложение.

Пример: Филтър с КИХ от ред 100 може да бъде изпълнен в реално време ако процесора успее да изпълни следните 100 операции за време по-малко от T_s :

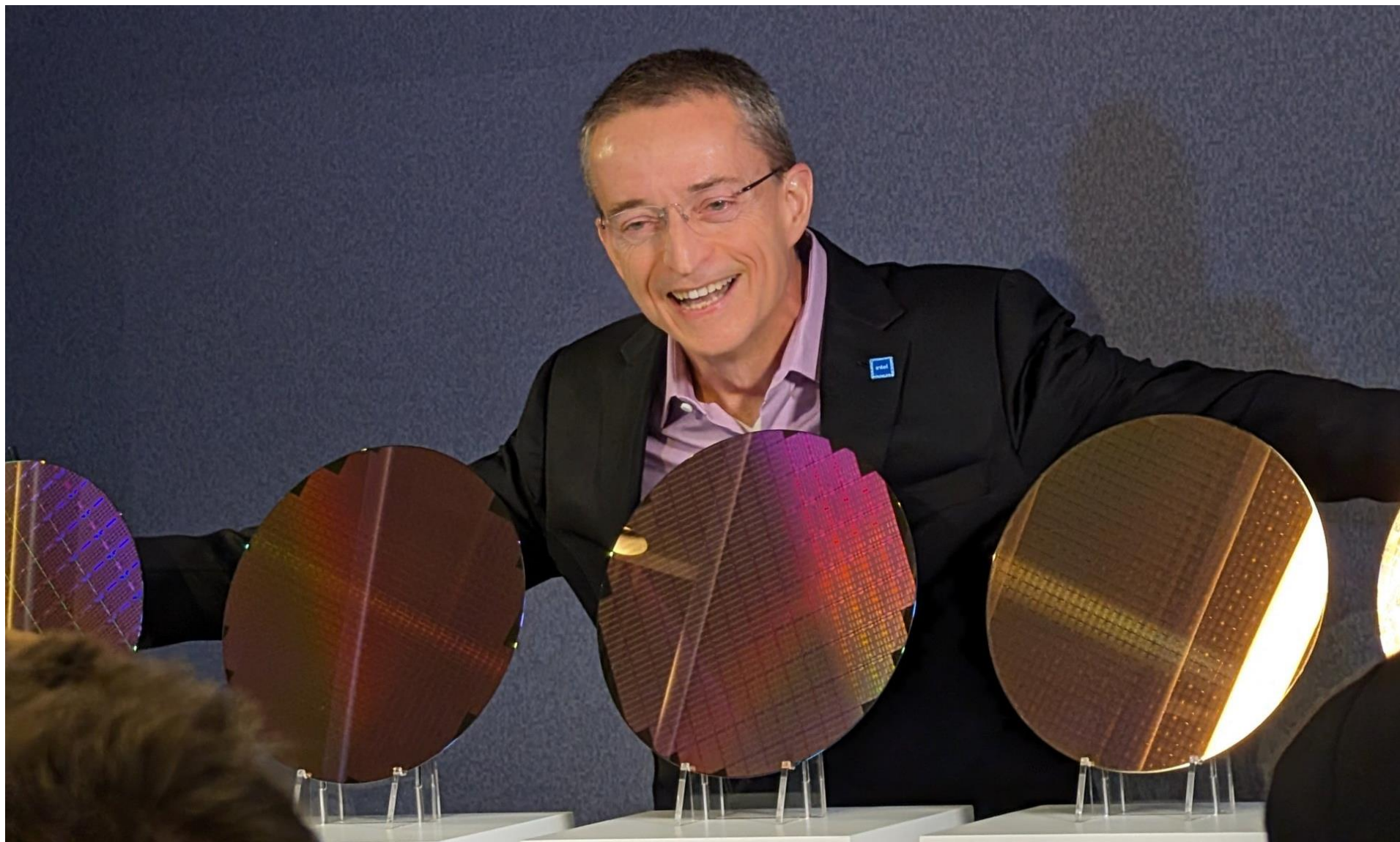
$$y(n) = \sum_{k=0}^{99} a(k)x(n-k)$$

Алгоритми изискващи процесор за ЦОС

Сумата от произведения (SOP) е основен елемент на повечето DSP алгоритми:

Algorithm	Equation
Finite Impulse Response Filter	$y(n) = \sum_{k=0}^M a_k x(n-k)$
Infinite Impulse Response Filter	$y(n) = \sum_{k=0}^M a_k x(n-k) + \sum_{k=1}^N b_k y(n-k)$
Convolution	$y(n) = \sum_{k=0}^N x(k)h(n-k)$
Discrete Fourier Transform	$X(k) = \sum_{n=0}^{N-1} x(n) \exp[-j(2\pi / N)nk]$
Discrete Cosine Transform	$F(u) = \sum_{x=0}^{N-1} c(u).f(x).\cos\left[\frac{\pi}{2N}u(2x+1)\right]$

Специализирани чипове?



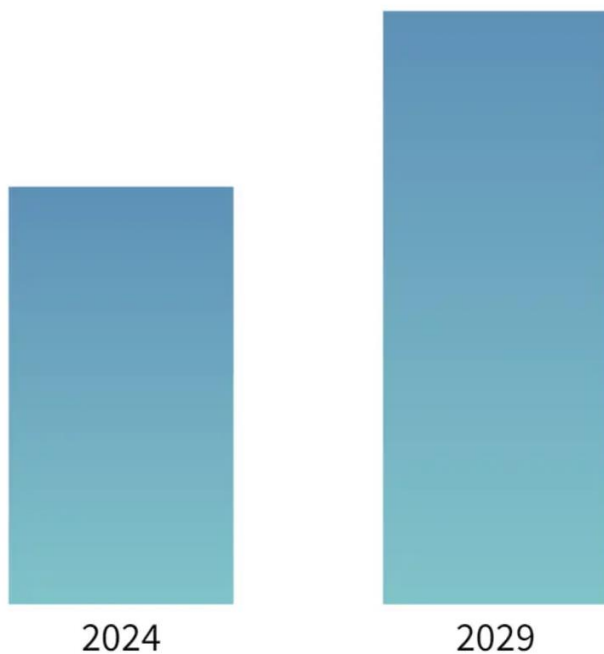
Intel CEO Pat Gelsinger (Credit: Michael J. Miller)

Нужда от ЦОС чипове?

Global DSP Market

Market Size

CAGR >7.28%



Source : Mordor Intelligence
(Compound Annual Growth Rate)



Study Period

2019 - 2029

Base Year For Estimation

2023

CAGR

> 7.28 %

Fastest Growing Market

Asia-Pacific

Largest Market

Asia-Pacific

Market Concentration

Medium

Major Players



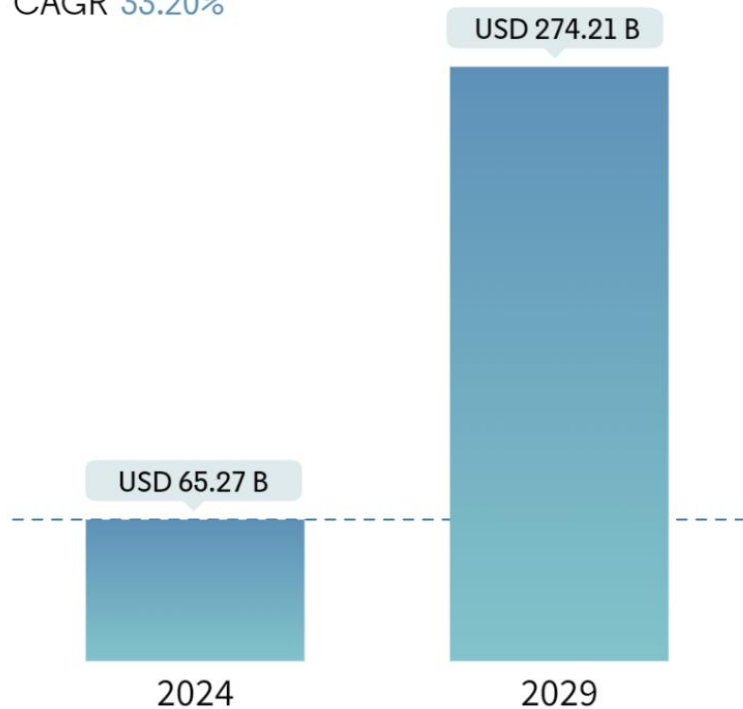
*Disclaimer: Major Players sorted in no particular order

Нужда графични процесори?

Graphics Processing Unit (GPU) Market

Market Size in USD Billion

CAGR 33.20%



Source : Mordor Intelligence



Study Period

2019 - 2029

Market Size (2024)

USD 65.27 Billion

Market Size (2029)

USD 274.21 Billion

CAGR (2024 - 2029)

33.20 %

Fastest Growing Market

Asia Pacific

Largest Market

Asia Pacific

Major Players

AMD

nVIDIA

Imagination

intel

SAMSUNG
ELECTRONICS

*Disclaimer: Major Players sorted in no particular order

(Compound Annual Growth Rate)

Налични технологии за ЦОС

- **Общо-целеви процесори (CPU, GPP)**
 - Intel, AMD, ARM, IBM PowerPC, Apple M1,2,3
- **Процесори за ЦОС (DSPs)**
 - Texas Instruments, Analog Devices, Motorola, Infineon, Intel
- **Графични процесори (GPU)**
 - Nvidia, AMD, Intel
- **Field Programmable Gate Array (FPGA)**
 - Xilinx, Altera
- **Application/Algorithm Specific Integrated Circuit (ASIC) чипове**

Характеристики на чиповете за ЦОС

- Field Programmable Gate Arrays
 - За бързо изчисляване на филтри с КИХ, FFTs и корелатори (Correlators)
- Algorithm/Application Specific Integrated Circuits (ASIC) DSP
 - За тясно специализирани у-ва (цифрово радио, автомобилна индустрия, DTMF, медицинска апаратура)
- Процесори за ЦОС (DSPs)
 - Оптимизация на себестойността (Намаляване на цената)
 - Оптимизация на размера
 - Ниска консумация
 - За управление на бързо-изменящи се процеси
- Процесори с общо предназначение
 - Адресиране на големи адресни пространства
 - Гъвкави операционни системи

Апаратни или Микропрограмни умножители

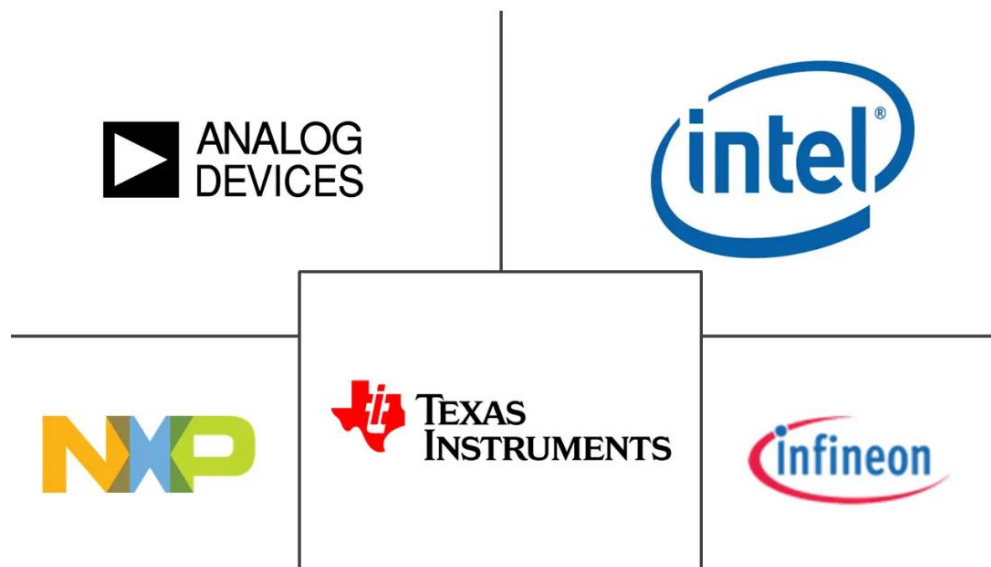
- DSPs са оптимизирани за бързо изпълнение на опрациите умножение-сумиране.
- умножение-сумиране се изпълнява за един такт на процесора.
- Пример: 4-bit умножение (без знак).

Hardware	Microcode
$\begin{array}{r} 1011 \\ \times 1110 \\ \hline 10011010 \end{array}$	$\begin{array}{r} 1011 \\ \times 1110 \\ \hline 0000 \\ 1011. \\ 1011.. \\ 1011... \\ \hline 10011010 \end{array}$
	Cycle 1
	Cycle 2
	Cycle 3
	Cycle 4
	Cycle 5

Доставчици на процесори за ЦОС

Global DSP Top Companies

- 1 Texas Instruments Inc.
- 2 Intel Corporation
- 3 Analog Devices Inc.
- 4 Infineon Technologies AG
- 5 NXP Semiconductors NV



*Disclaimer: Top companies sorted in no particular order

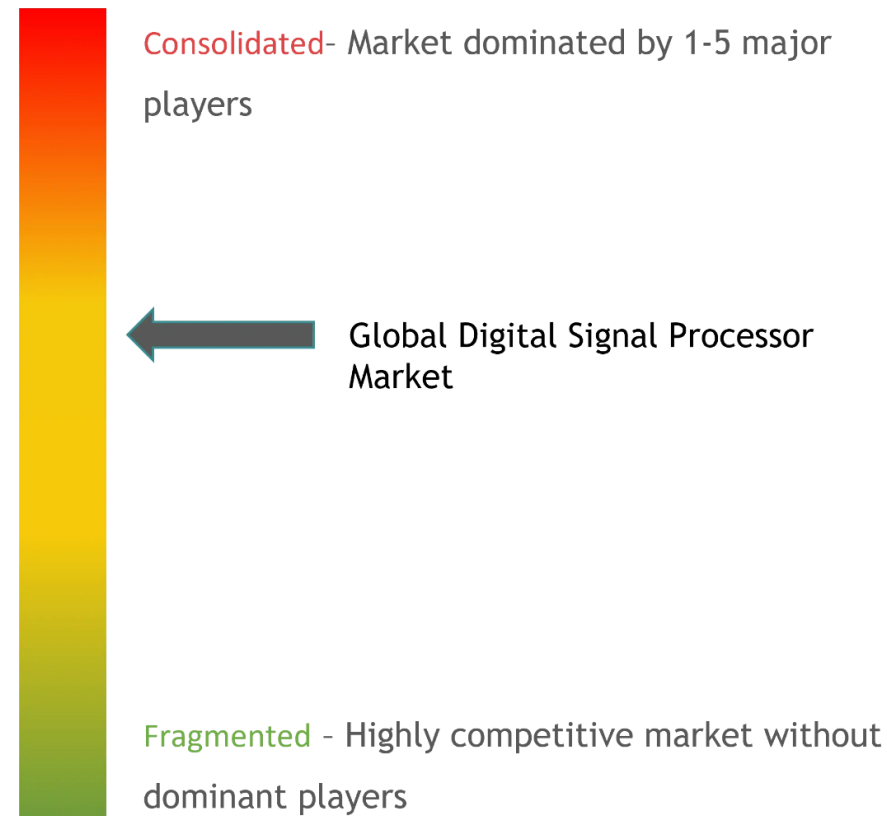
Доставчици на процесори за ЦОС

Digital Signal Processor Market Leaders

- 1 Texas Instruments Inc.
- 2 Intel Corporation
- 3 Analog Devices Inc.
- 4 Infineon Technologies AG
- 5 NXP Semiconductors NV

*Disclaimer: Major Players sorted in no particular order

Market Concentration



Source: Mordor Intelligence

Доставчици на графични процесори

Graphics Processing Unit (GPU) Market Leaders

- 1 Intel Corporation
- 2 Advanced Micro Devices, Inc.
- 3 Nvidia Corporation
- 4 Imagination Technologies Group
- 5 Samsung Electronics Co. Ltd

Market Concentration



Source: Mordor Intelligence



DSPs или ASIC DSP

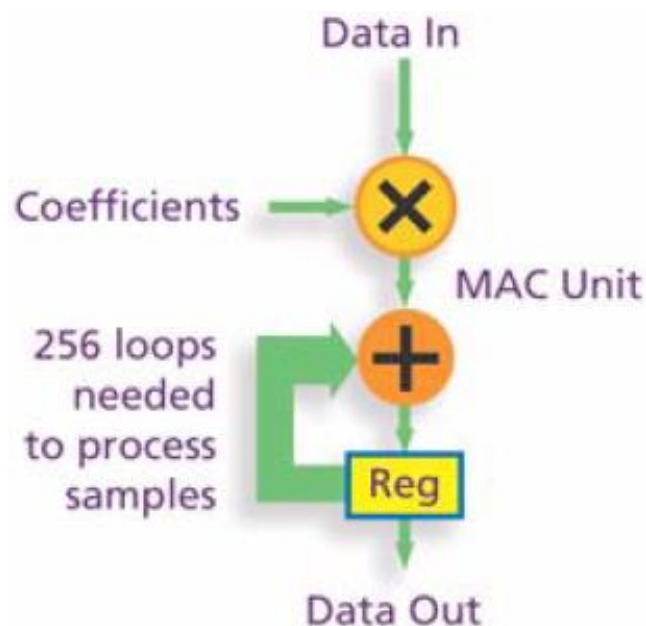
- Application Specific Integrated Circuits (ASICs) са ИС предназначени за високо специализирани приложения и специфични алгоритми и функции.
- Използването на ASICs е свързано със следните

Предимства	Недостатъци
<ul style="list-style-type: none">• Висока пропускателна способност• По-малка площ на чипа• По-ниска консумация• Подобрена надеждност• Подобрена шумоустойчивост• По-ниска себестойност	<ul style="list-style-type: none">• Висока цена на първоначалната инвестиция• Липса на гъвкавост• Дълъг цикъл от проект до пазара

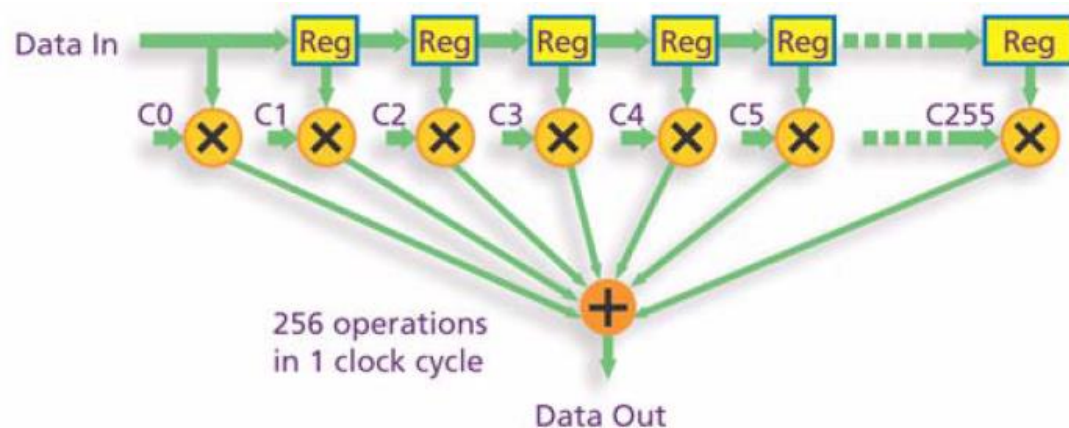
DSPs или FPGA DSP

Паралелното използване на FPGAs и DSP процесор позволява постигането на по-голяма изчислителна мощ

Пример: реализация на филтър с КИХ от 256-ти ред.



Посредством DSPs
Последователно изчисление



Посредством FPGA - Изцяло
паралелно изчисление

DSPs или Микропроцесори

Предимства на DSPs:

- Имат специализирани структури за DSP algorithms
- Бързи умножители: умножение-сумиране за един цикъл
- Ефективен достъп до паметта: Специализирани методи за адресиране на паметта
 - Pre- and post-modification of address pointers
 - Circular addressing
 - Bit-reversed addressing
- Харвардска архитектура: Разделени адресни пространства за програма и данни
- Multiple Execution Units & Specialized execution control
- Специален набор от инструкции
- Специален формат на данните
- Ускорен I/O на данните

The Multiple Execution Unit

- Поради голямата сложност на изчисленията се изисква различни типове аритметични и логически операции да бъдат изпълнявани в паралел за подобряване на скоростта.
- Паралелно работещи устройства са:
 - MAC
 - ALU
 - Shifter

Пример: Texas Instruments C6713 DSP

- 8 execution units (two sections called .L, .M, .S, .D)
- Всички блокове са многофункционални и работят с Integers
- Само блоковете .M могат да умножават
- .D се използва главно за записване или съхраняване на данни
- .L е главно за логически операции
- .S е главно за операции shifting

Ефективен достъп до паметта

- Изпълняване на MAC за един цикъл изисква:

- (1) instruction (изпълняваща MAC)
- (1) retained accumulated value
- (2) data (Two new terms to multiply)

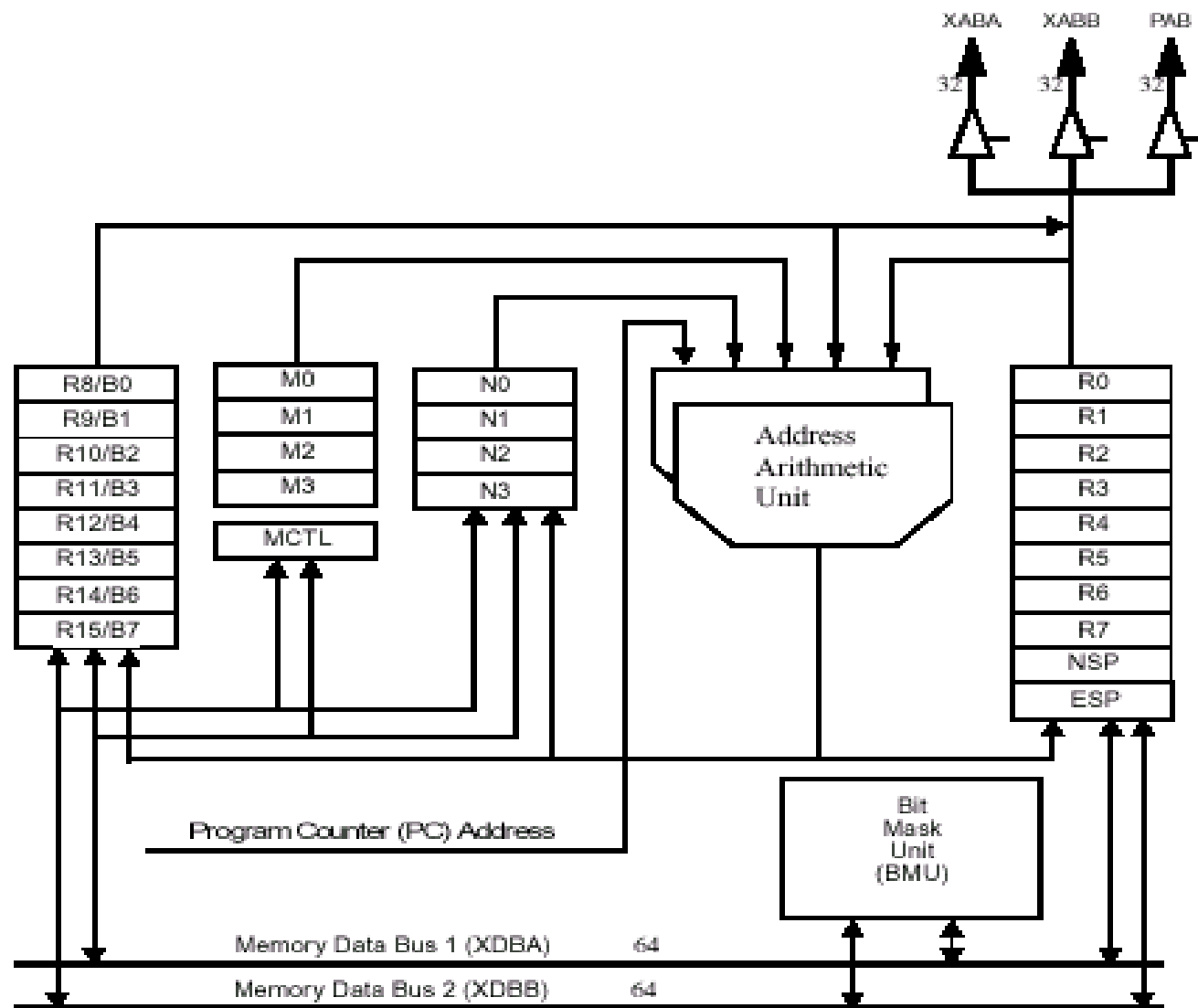
(Необходими са магистрали с голяма пропускателна способност)

- Техники за осигуряване на г. пропускателна способност:

- Отделни магистрали за програма и няколко за данни
- Кеширане на инструкции
- L1 and L2 caching for single cycle access
- Автоматично генериране на адреси
 - FIFO buffers
 - Auto increment for arrays access
 - Delay lines

Харвардска архитектура

Диаграма на адресните пространства в TMS320 серията



AGU Block Diagram

Модифицирана Харвардска архитектура

- Независими адресни пространства за даннова и програмна памет
- Отделни магистрали за програмна и даннова памет и за директен достъп до паметта (DMA)
 - Изпълнява **едновременно** извличане на програмния код, запис и четене от даннова памет и операции с директен достъп до паметта (DMA)
- Позволява 4 нива на конвейерна обработка
 - Докато се изпълни първата инструкция, 3 инструкции се прочитат, декодират и извличат
 - По-малко елементи за всяко ниво на конвейра
 - Увеличена работна честота и производителност

Пример: Диаграма на паметта

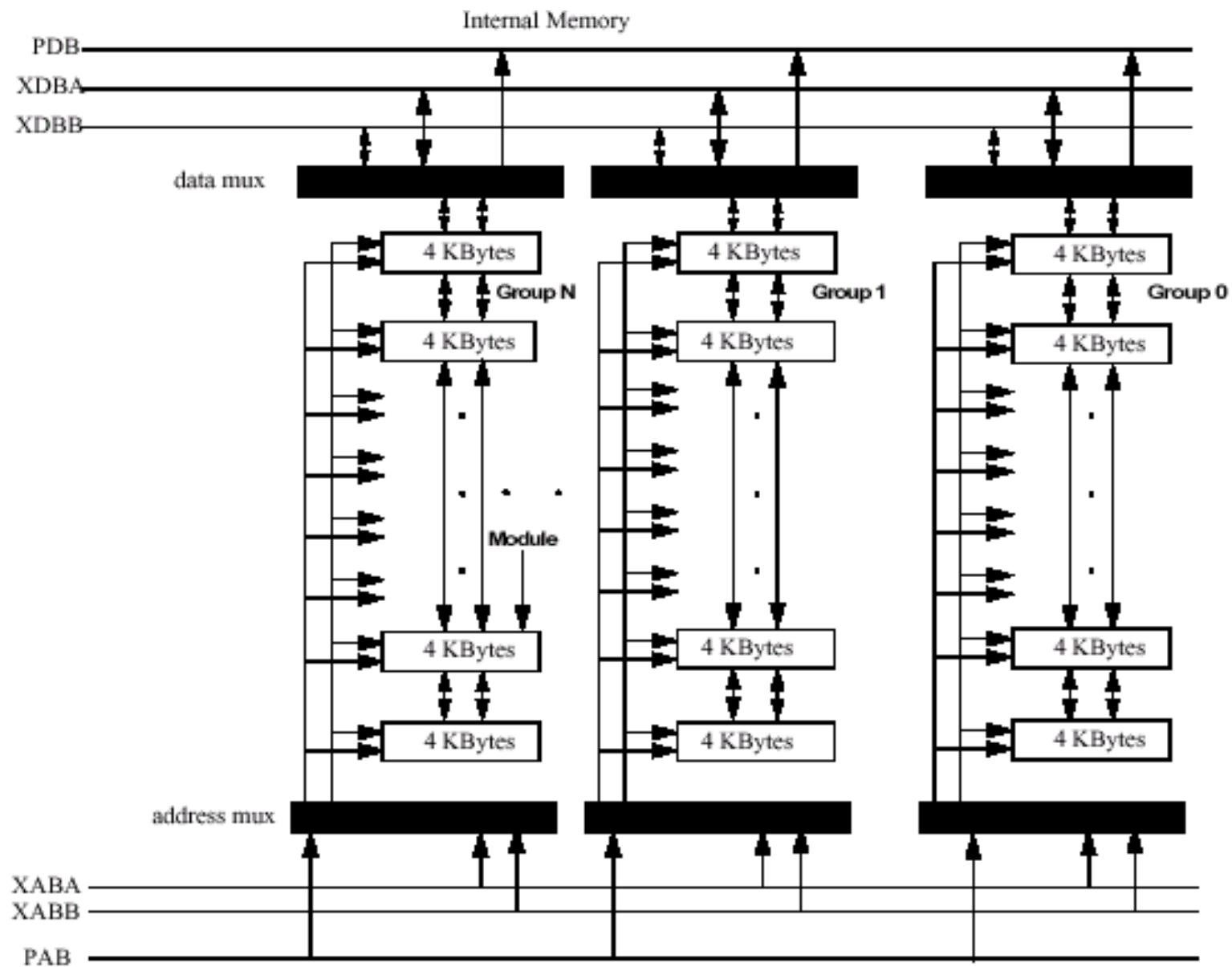
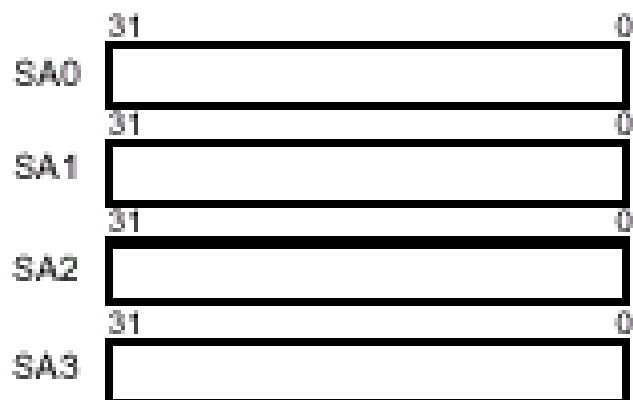
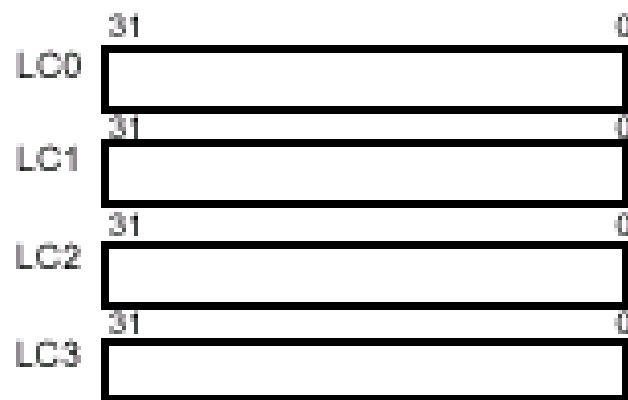


Figure 2-19. Internal Memory Structure Example

Специализирано управление на изпълнението на командите



LOOP START
ADDRESS REGISTERS



LOOP COUNTER
REGISTERS



STATUS
REGISTER

Hardware Loop Programming Model

DSPs поддържат инструкции за цикъл за бързо изпълнение на рекурентни или повтарящи се операции. Това се реализира апаратно за осигуряване на по-голямо бързодействие.

Специализиран набор от инструкции

- Специализиран набор от инструкции осигурява максимално използване на апаратните възможности на DSP
 - Изпълнение на паралелни операции с единични инструкции
 - Едновременно изпълнение на операции с данни, обновяване на указатели и аритметични операции
- Минимизация на използваната памет
 - Използване на къси инструкции с малка дължина на думата
 - Промяна на апаратната конфигурация за намаляване на необходимия брой инструкции
- За разлика от микропроцесорите с общо предназначение, при DSPs е възможно аритметични операции да се изпълняват едновременно с преместване на данни

Формати на данните при DSPs

- При реализация на алгоритми с DSP обикновено се използва най-късата дължина на думата, която осигурява необходимата точност
 - 16-bit дума с fixed point е общоприета
 - 24 или 32-bit апаратна част осигурява по-добра точност
 - Регистрите на акумулатора често са с по-висока разрядност (40-bit дума) за избягване на препълване при циклични операции.

Ускорени I/O операции

- Вградени в DSPs входно/изходни (I/O) устройства:
 - Серийни и/или паралелни портове
 - Оптимизирано управление на прекъсванията
 - Direct Memory Access (DMA) за осигуряване на бързо прехвърляне на данни към вътрешната памет на процесора без използване на ресурсите на самия процесор

Процесори с плаваща и фиксирана запетая

Повечето DSPs използват математика с фиксирана запетая (операции с цели числа).

- Процесори с плаваща запетая се използват в приложения които изискват:
 - Висока точност
 - Голям динамичен диапазон
 - Високо съотношение между сигнал и шум (signal-to-noise ratio)
 - Удобство при проектиране
- Недостатъци на процесорите с плаваща запетая:
 - По-висока консумация
 - Обикновено по-скъпи (по-голяма площ на чипа)
 - По-бавни от съответните процесори с фиксирана запетая

Особеностите на приложението определят типа на процесора
-> постигане на оптимална производителност и цена.

Общо сравнение

	DSP	DSP/μс combination	DSP w/ μс extensions	μс w/DSP extensions	μс
Raw DSP Bandwidth	Excellent	Excellent	Excellent	good	poor
Address space	Small to medium	Small to medium/	Small to medium	medium	Small to medium
Cost	Medium to high	medium	Medium	Low to medium	Low to medium
MAC	Yes	High	Yes	Yes	No
Fast Shifter	Yes	Yes	Yes	No	No
Architecture	Harvard/ modified Harvard	Harvard & Von Neumann	Harvard/ modified Harvard	Von Neumann	Von Neumann

Общо сравнение (продължение)

	DSP	DSP/ μ C combination	DSP w/ μ C extensions	μ C w/DSP extensions	μ C
Memory busses	2-3	2-3 DSP 1 μ C	2-3	1	1
Circular addressing	Yes	Yes	Yes	Yes	No
Saturation/ Overflow	Yes	Yes	Yes	Yes	?
Zero-over- head looping	Yes	Yes	Yes	Yes	No
Stack	Hw	Hw & Memory	Hw (& Memory)	Memory	Memory
FFT addressing	Yes	Yes	Yes	?	No
Digital I/O	Minimal	Medium	Medium	Excellent	Excellent

Обикновени DSPs

■ Ниска цена / Добра производителност

- Работна честота 20 - 50 MHz
- Включват 1 MAC и ALU и няколко допълнителни устройства за изчисления

Целеви приложения: Disk drives, Answering machines, etc

Примери: ADI ADSP-21xx, TI TMS320C2xxx, Freescale (Motorola) DSP 560xx

■ DSPs със средно-висока производителност

- Увеличено бързодействие
- Допълнителна апаратна част (shifter or instruction cache)
- По-дълбок конвейр

Примери: Freescale 563xx, TI TMS320C5xxx

Подобрени DSPs

- Поддържат добро съотношение цена/производителност за по-взискателните приложения
- Включват множество MACs, ALU и shifter с паралелна работа.
- Разширен набор инструкции
- По-голяма дължина на думата за данни и инструкции

Примери: Lucent DSP16xxx, ADI Blackfin BF533

Multi-issue Architecture

■ Мотивация:

- Подобряване на традиционите DSP чрез използване на специализирани апаратни средства и композитни инструкции на асемблер
- Осигурява удобни структури за C компилация и оптимизация
- Използва групи от по-прости инструкции в паралел

■ Видове Multi-issue Architecture:

- Very Long Instruction Word (VLIW) или hybrid VelocTI
 - Всяко изчислително у-во има собствени инструкции което позволява до 8 инструкции за 1 цикъл
 - Инструкции и изпълнително у-во се групират по време на компилиране на програмата
- Superscalar
 - Използва апаратни средства за групиране на инструкции и изпълнително у-во в паралел
 - Сложно устройство и не са детерминистични (изпълнявайки програмата многократно води до различен ред на изпълнение всеки път)

Фамилия TMS320 на Texas Instruments

C2000

C5000

C6000

Lowest Cost

Control Systems

- ♦ Motor Control
- ♦ Storage
- ♦ Digital Ctrl Systems

Efficiency

Best MIPS per
Watt / Dollar / Size

- ♦ Wireless phones
- ♦ Internet audio players
- ♦ Digital still cameras
- ♦ Modems
- ♦ Telephony
- ♦ VoIP

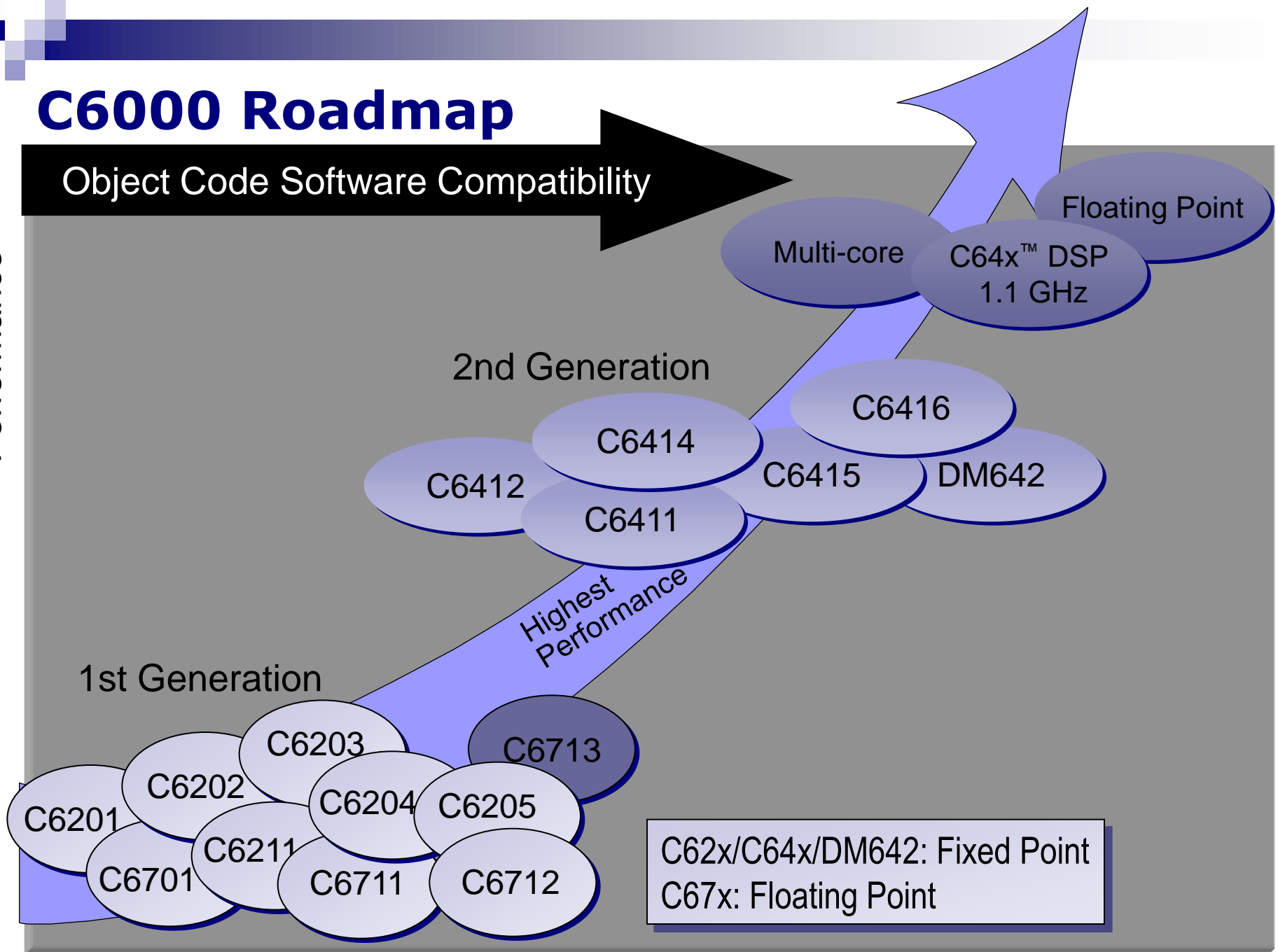
Performance & Best Ease-of-Use

- ♦ Multi Channel and Multi Function App's
- ♦ Comm Infrastructure
- ♦ Wireless Base-stations
- ♦ DSL
- ♦ Imaging
- ♦ Multi-media Servers
- ♦ Video

C6000 Roadmap

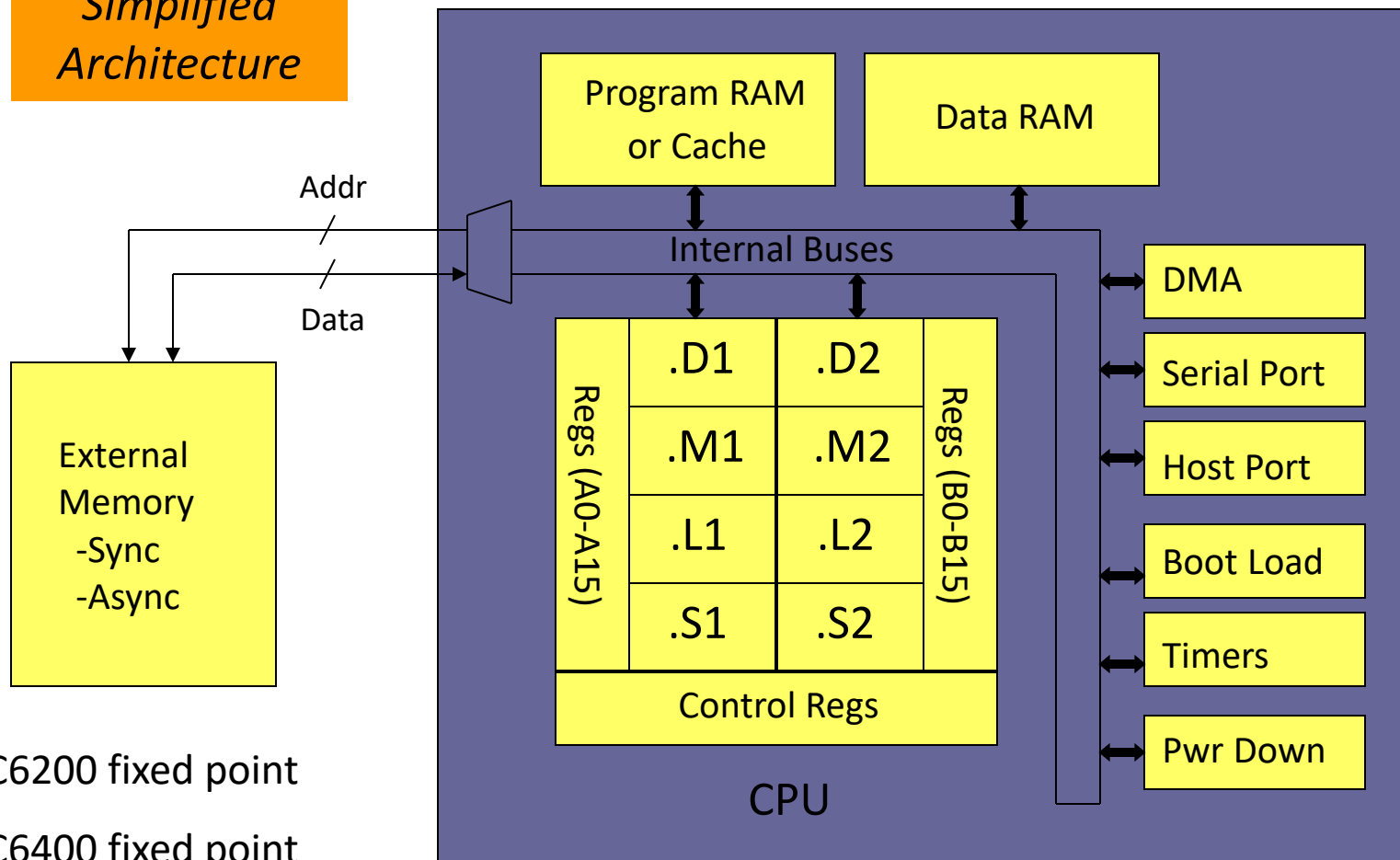
Object Code Software Compatibility

Performance



The TMS320C6000 family

Simplified Architecture



C6200 fixed point

C6400 fixed point

C6700 floating point

Функционални блокове на TMS320C6000

- .M multiplication unit
 - 16 bit x 16 bit signed/unsigned packed/unpacked
- .L arithmetic logic unit
 - Comparisons and logic operations (and, or, and xor)
 - Saturation arithmetic and absolute value
- .S shifter unit
 - Bit manipulation (set, get, shift, rotate) and branching
 - Addition and packed addition
- .D data unit
 - Load/store to memory
 - Addition and pointer arithmetic

Функционални блокове на TMS320C6000

- Address 8/16/32 bit data + 64 bit data on C67x
- Load-store RISC architecture with 2 data paths
 - 16 32-bit registers per data path (A0-15 and B0-15)
 - 48 instructions (C62x) and 79 instructions (C67x)
- Two parallel data paths with 32-bit RISC units
 - Data unit - 32-bit address calculations (modulo, linear)
 - Multiplier unit - 16 bit x 16 bit with 32-bit result
 - Logical unit - 40-bit (saturation) arithmetic & compares
 - Shifter unit - 32-bit integer ALU and 40-bit shifter
 - Conditionally executed based on registers A1-2 & B0-2
 - Work with two 16-bit half-words packed into 32 bits

Фамилия TMS320C6000

■ TMS320C62x:

Процесори с фиксирана запетая за ускоряване на multi-channel, multi-function приложения:

- Станции за безжична комуникация,
- Сървъри за отдалечен достъп (RAS),
- xDSL системи,
- Охранителни системи,
- Биометрия
- Специализирана фотография,
- Промислени скенери,
- Прецизни инструменти,
- Многоканални телефонни системи и др

Фамилия TMS320C6000

■ TMS320C64x:

Процесорите от фамилията C64x са с най-висока производителност за решаване на съвременни проблеми на цифровата ера:

- Тактова честота над 1 GHz, C64x DSPs
- До 8000 MIPS
- Цена от \$19.95

В допълнение на високата тактова честота, C64x DSPs използва вградени разширения за: нови инструкции за ускоряване на производителността в ключови приложения като инфраструктура за цифрови комуникации, обработка на видео и изображения.

Фамилия TMS320C6000

■ TMS320C67x:

Тези са DSP процесори с плаваща запетая притежават скорост, прецизност, енергийна ефективност, динамичен диапазон което позволява използване в разнообразни приложения.

Осигуряват подходящи решения за приложения като

- ☐ Обработка на аудио,
- ☐ Обработка на медицински изображения,
- ☐ Изработване на уреди,
- ☐ Автомобилни, и др.

Direct Comparison

Processor	MHz	MIPS	DSP Benchmarks	ISR Latency	Power cons.	Price	Dimensions (in)
Pentium MMX	233	233	49	1.38 us	4.25 W	\$213	5.5 x 2.47 x .647
Pentium MMX	266	266	56	1.38 us	4.85 W	\$348	5.5 x 2.47 x .647
TMS320C62	120	960	62	0.09 us	1.14 W (est.)	\$25	1.3 x 1.3 x .07
TMS320C62	200	1600	103	0.09 us	1.9 W	\$96	1.3 x 1.3 x .07

Основни предимства на DSP процесорите

- Пре-програмируеми
 - Програмиране на високо ниво и на асемблер с добре документирани инструменти
- Балансиране на цената в ниско-сериен приложения
 - Разработване на hardware на средна цена
- Възможност за балансиране на:
 - Бързодействие
 - Цена
 - Ефективност на проекта

DSP процесори

- Разнообразие от DSP процесори
- DSP процесорите са ключови елементи за
 - Повишаване на бързодействието
 - Намаляване на консумацията
 - Намаляване на използваното количество памет
 - Намаляване на цената.

Основен проблем е необходимостта от по-ефективни компилатори. Създаването на програми на Асемблер е трудоемко и сравнително бавно.

Приложения на DSP

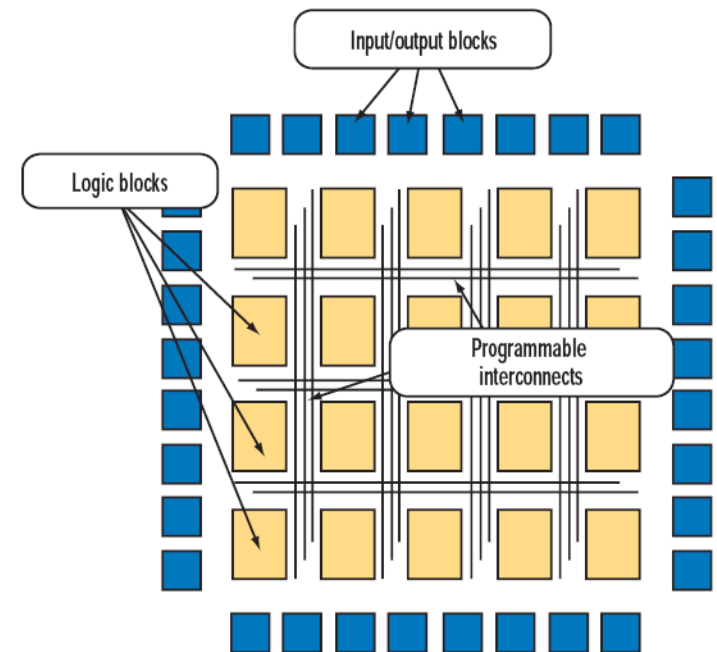
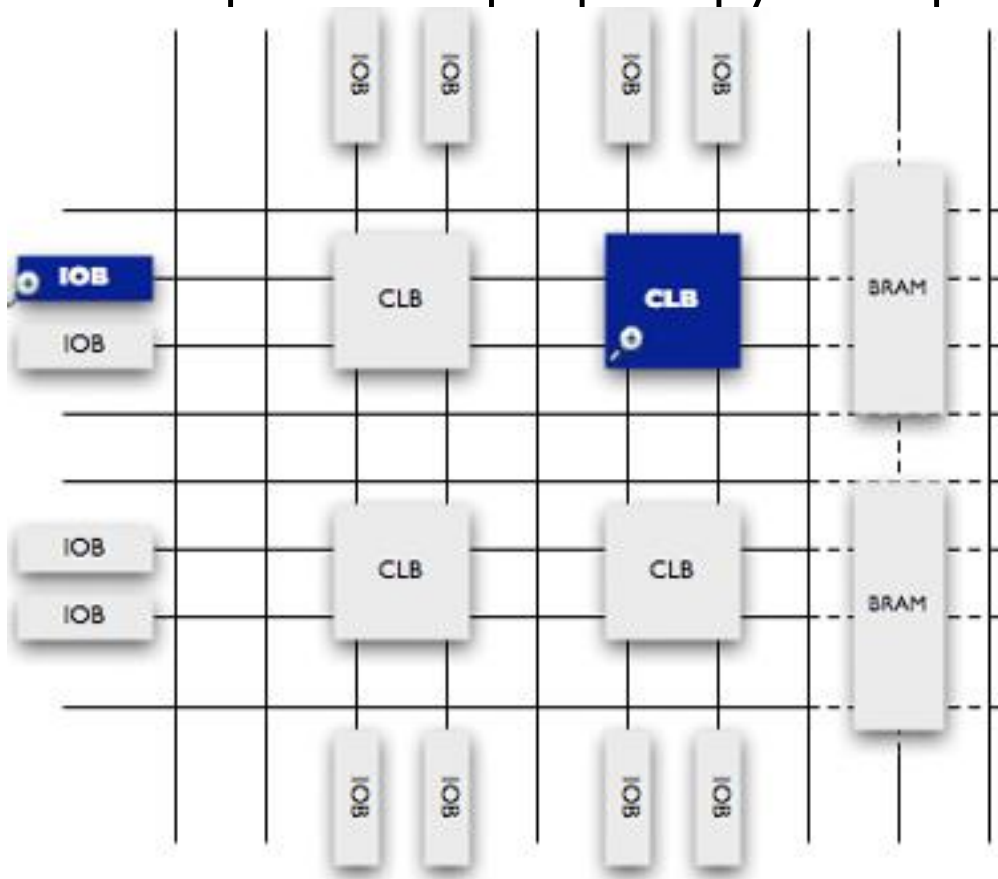
- Потребителска (черна) техника
 - DVD, MP3, HDTV
- Комуникации
 - Цифрово радио, Мобилни телефони
- Медицински
 - Pacemakers, MRI, Спектрометри
- Индустриални приложения
 - Motor controllers, environmental controls
- Военни
- Аеро-космически

DSP разработки с DSPs

- При DSPs-only метода, съществуват готови библиотеки с предварително компилирани функции като FIR филтър, FFTs и Correlators които са Assembly оптимизирани и могат да се повикват от програми на C.
- Оптимизирането за точно определен DSP процесор е трудно и изисква дълбоко познаване на архитектурата на съответния процесор.
- Като цяло, DSP проектантите предпочитат the DSP-only метода заради леснотата на изпълнение.

ЦОС с Field Programmable Gate Arrays (FPGA)

- FPGAs са програмируеми полупроводникови у-ва изградени като матрици от конфигуруеми логически блокове (CLBs), свързани с програмируеми връзки.

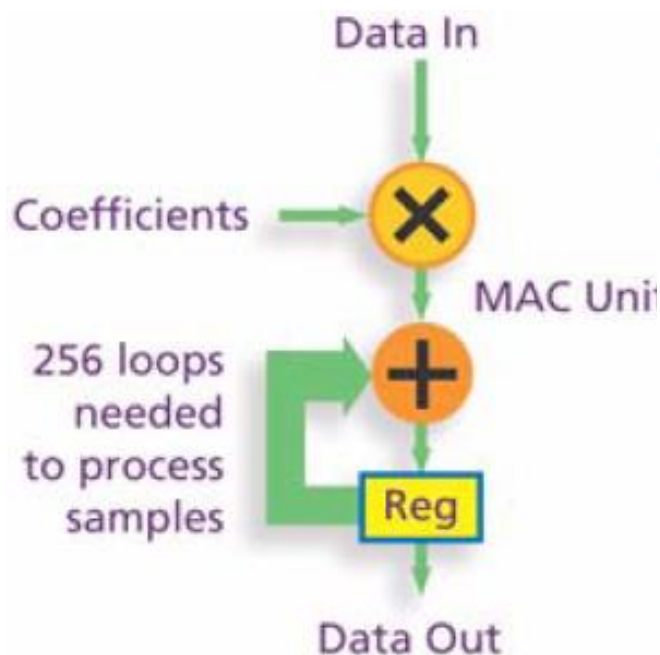


Общи сведения за FPGA

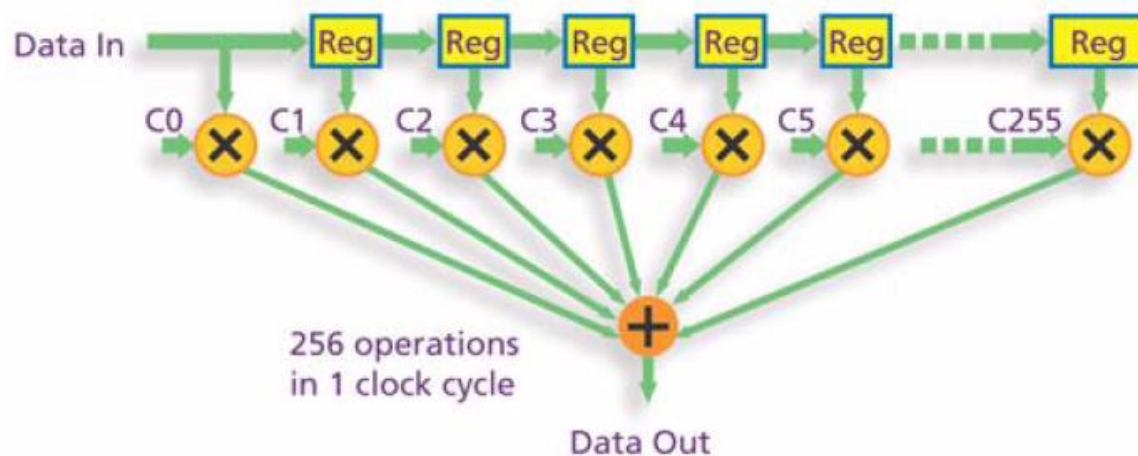
- Първите FPGA произведени през 1985 от Xilinx (1000 ЛЕ) използвани главно за връзки, магистрали и периферия.
- Днес броя на ЛЕ е увеличен x10000.
- FPGAs позволяват паралелна обработка на сигнала посредством еднотипни апаратни модули.
- Xilinx и Altera са водещите производители на FPGA и през последното десетилетие държат над 90% от пазара.
- Пазарни ниши за интензивни DSP приложения са: безжични комуникации, обработка на видео и изображения, аеро-космическа и военна индустрия и др.

DSPs vs. FPGA DSP

Пример: реализация на филтър с КИХ от 256-ти ред.



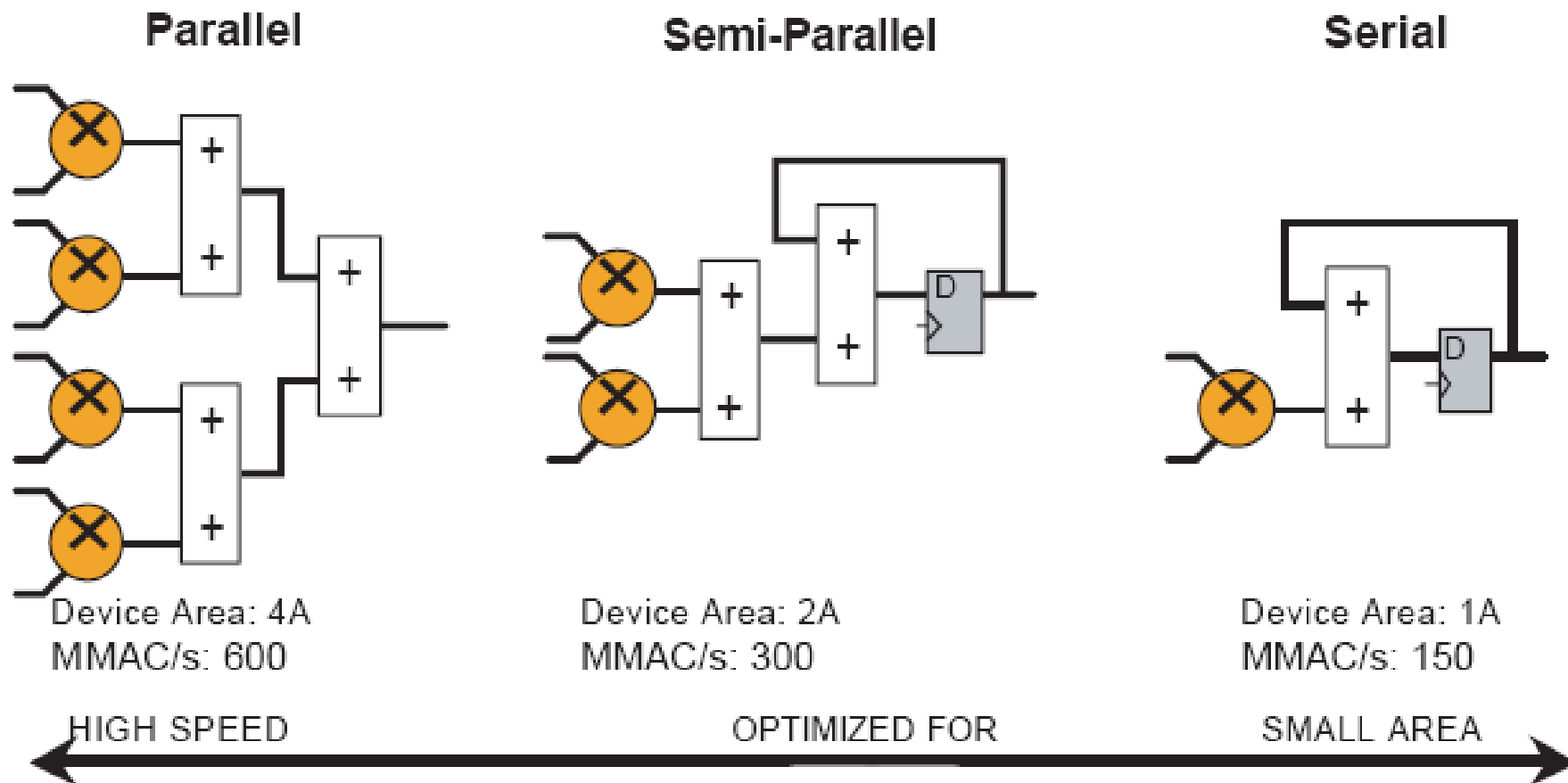
Посредством DSPs
Последователно изчисление



Посредством FPGA - Изцяло
паралелно изчисление

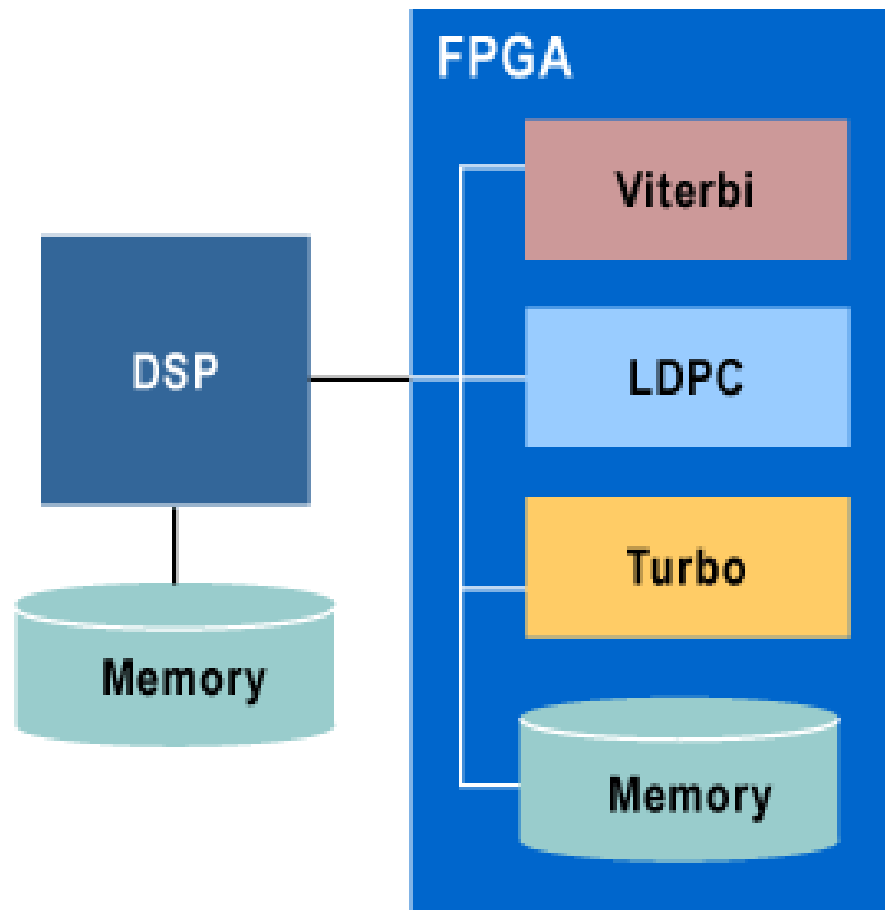
Гъвкавост на FPGAs решенията

Пример: различни изпълнения на функцията умножение-сумиране (MAC) на две 4-bit числа.



FPGA копроцесор

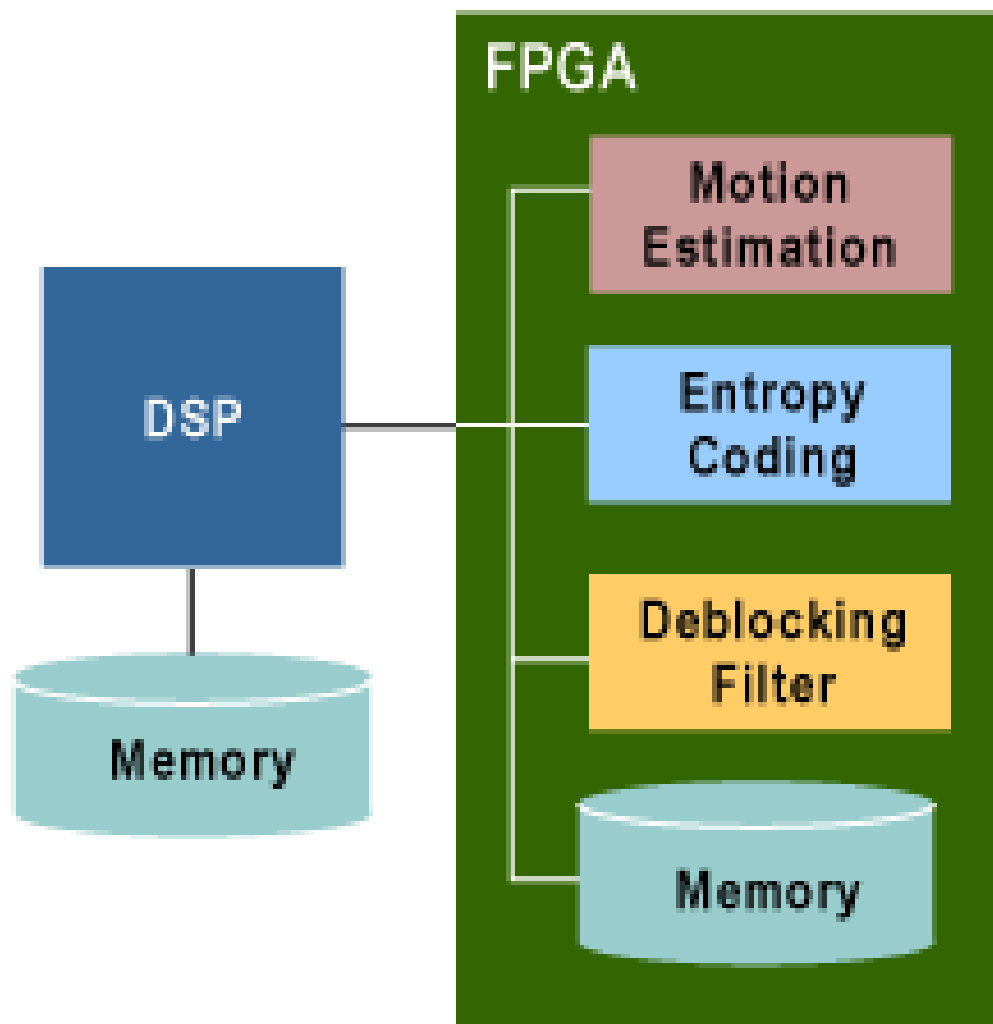
FPGA копроцесорите са много ефективни и са евтин способ за разтоварване на DSPs от алгоритми изискващи голям обем на изчисленията.



FPGA Coprocessor for WiMAX Baseband Processing

проф. Т. Ганчев, AI, Летен семестър 2024

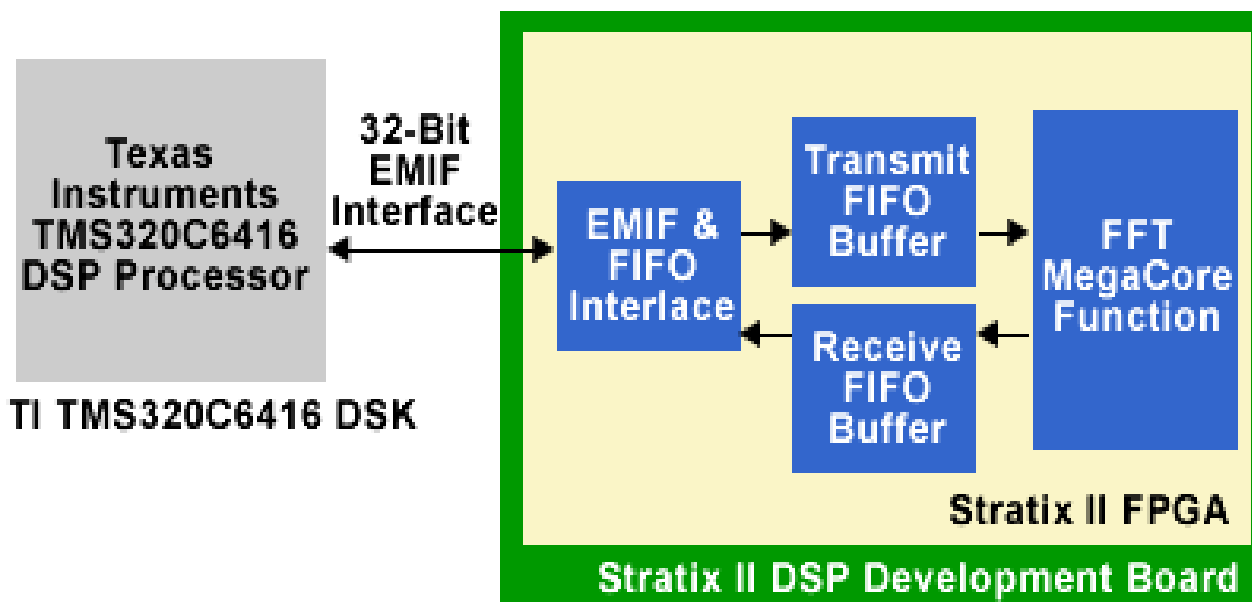
FPGA копроцесор



FPGA Coprocessor for High-Definition H.264 Encoding

Пример: FFT Co-Processor с FPGA

MegaCore FFT копроцесор изпълнен с FPGA на Altera Stratix и връзка с Texas Instruments DSP по 32-bit External Memory InterFace (EMIF)



Реализация на FFT с TI DSP процесор

TI DPS @ 720 MHz
изчислява 1024-point
16-bit FFT за **9.06 μ s**

Реализация с TI DSP и FPGA копроцесор

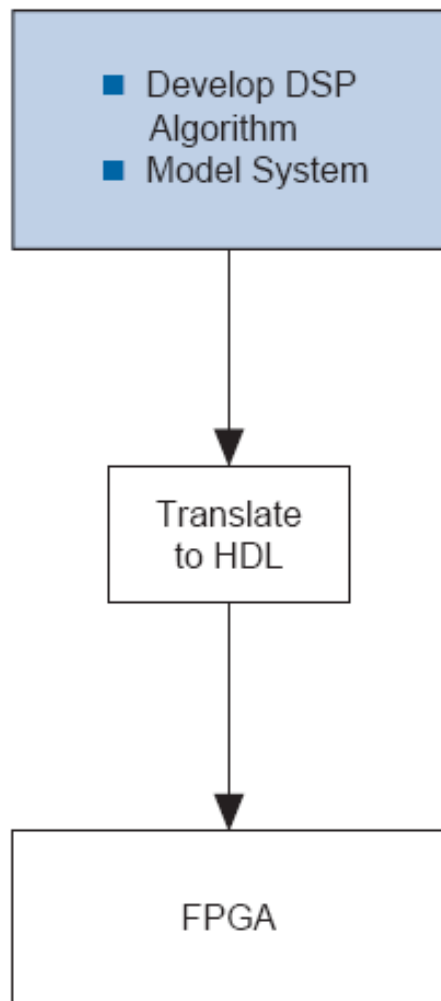
@ 278 MHz изчислява
FFT за **4.64 μ s**

FFT копроцесор със Stratix II FPGA

Разработка на FPGA

- Разработката на FPGA копроцесор изисква дълбоко познаване на хардуера за реализирането на FPGA co-processor система (EMIF/FIFO interface, transmit and receive FIFO buffers, and co-processing function).
- Наличието на библиотеки от архитектурно оптимизирани вградени функции, създадени от производители на FPGA (например Altera & Xilinx), благоприятстват разработването на FPGA co-processors

Разработка на FPGA



Hardware Description Language

```
PROCESS (clk)
```

```
BEGIN
```

```
IF (clk'event and clk = '1') THEN
```

```
  a_reg <= (a);
```

```
  b_reg <= (b);
```

```
  pdt_reg <= a_reg * b_reg;
```

```
  adder_out <= adder_out + pdt_reg;
```

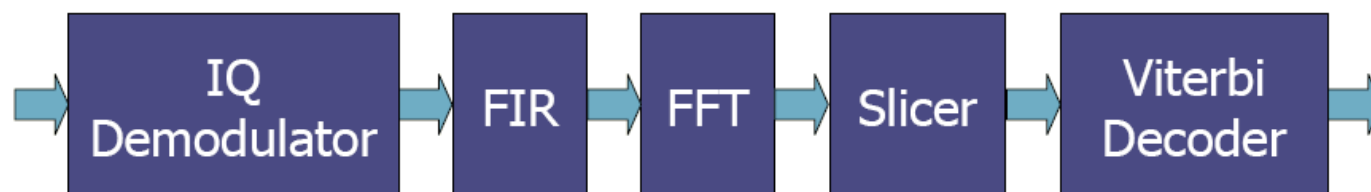
```
END IF;
```

```
END process;
```

```
accum_out <= (adder_out);
```

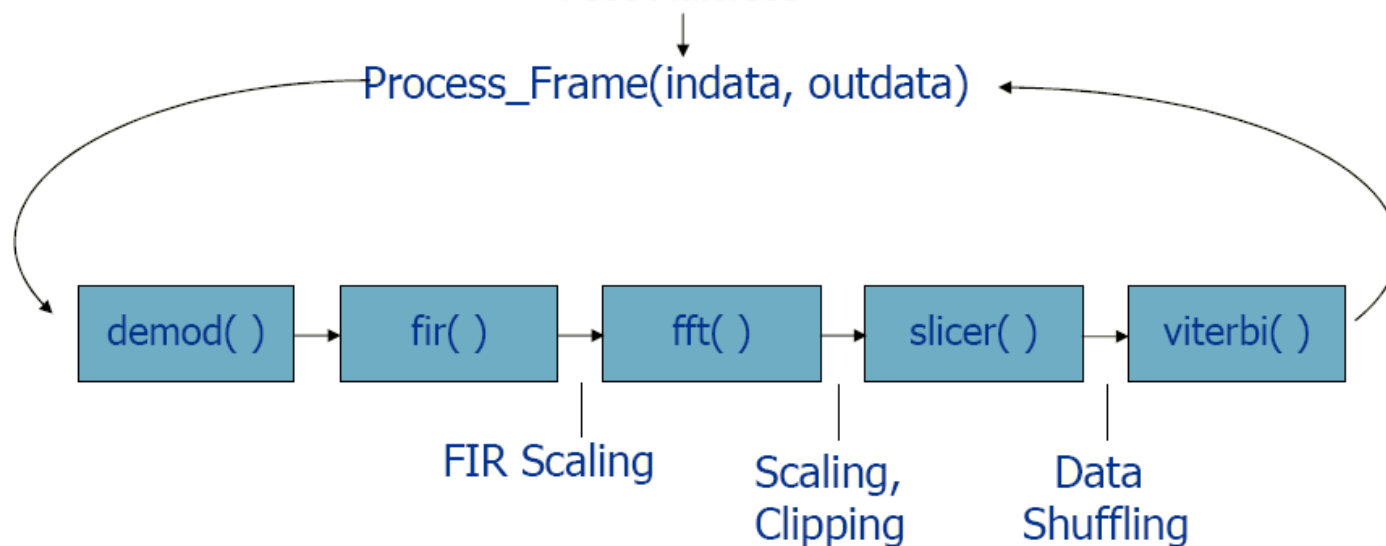
Производителност на FPGA vs DSPs

BDTI's benchmark тест е базиран на опростен вариант на OFDM (Orthogonal Frequency Division Multiplexing) приемник



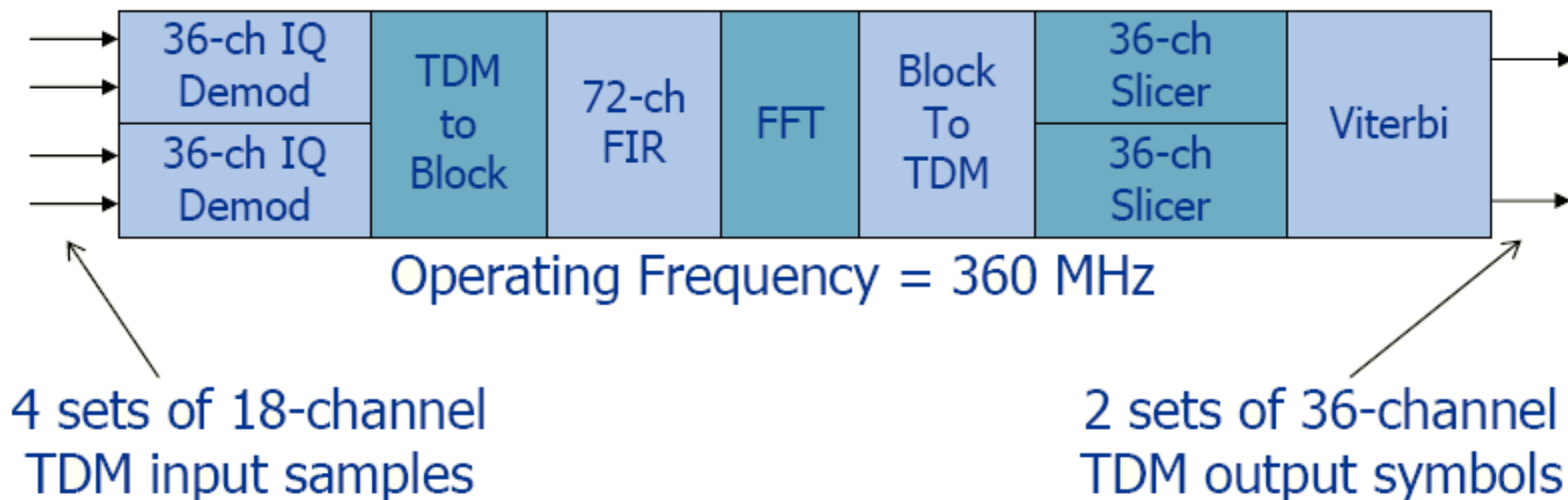
Реализация с DSP processor

Test Harness



FPGA изпълнение на BDTI Benchmark

FPGA реализация с Xilinx Virtex-4 на един модул на приемник



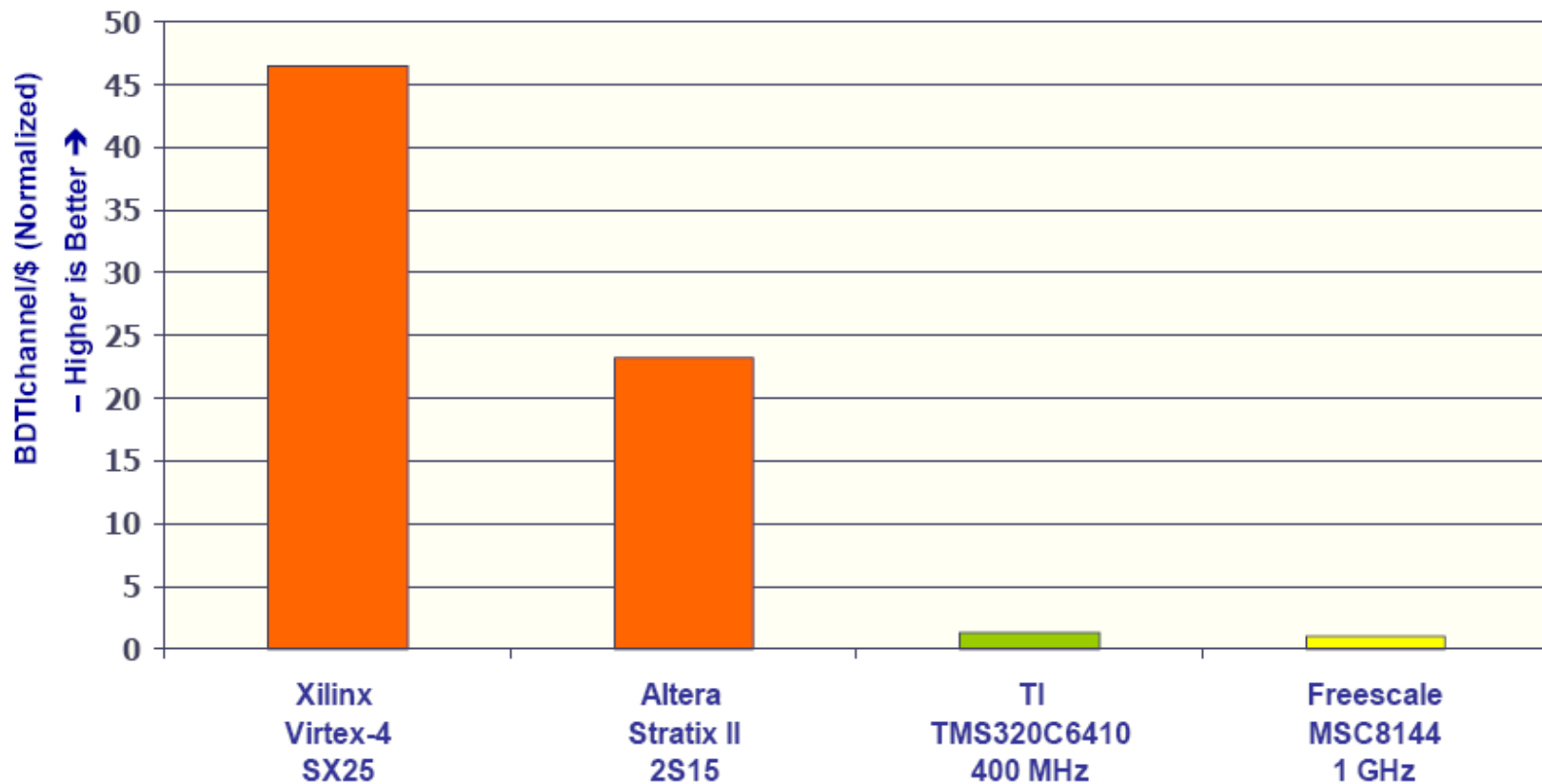
Използват се три нива на паралелност:

- Във всеки блок на приемника едновременно се изпълняват множество операции
- Всички блокове на приемника работят едновременно
- Множество приемници са реализирани в една ИС

Резултати от BDTI Benchmark теста

BDTI Communications Benchmark (OFDM)TM

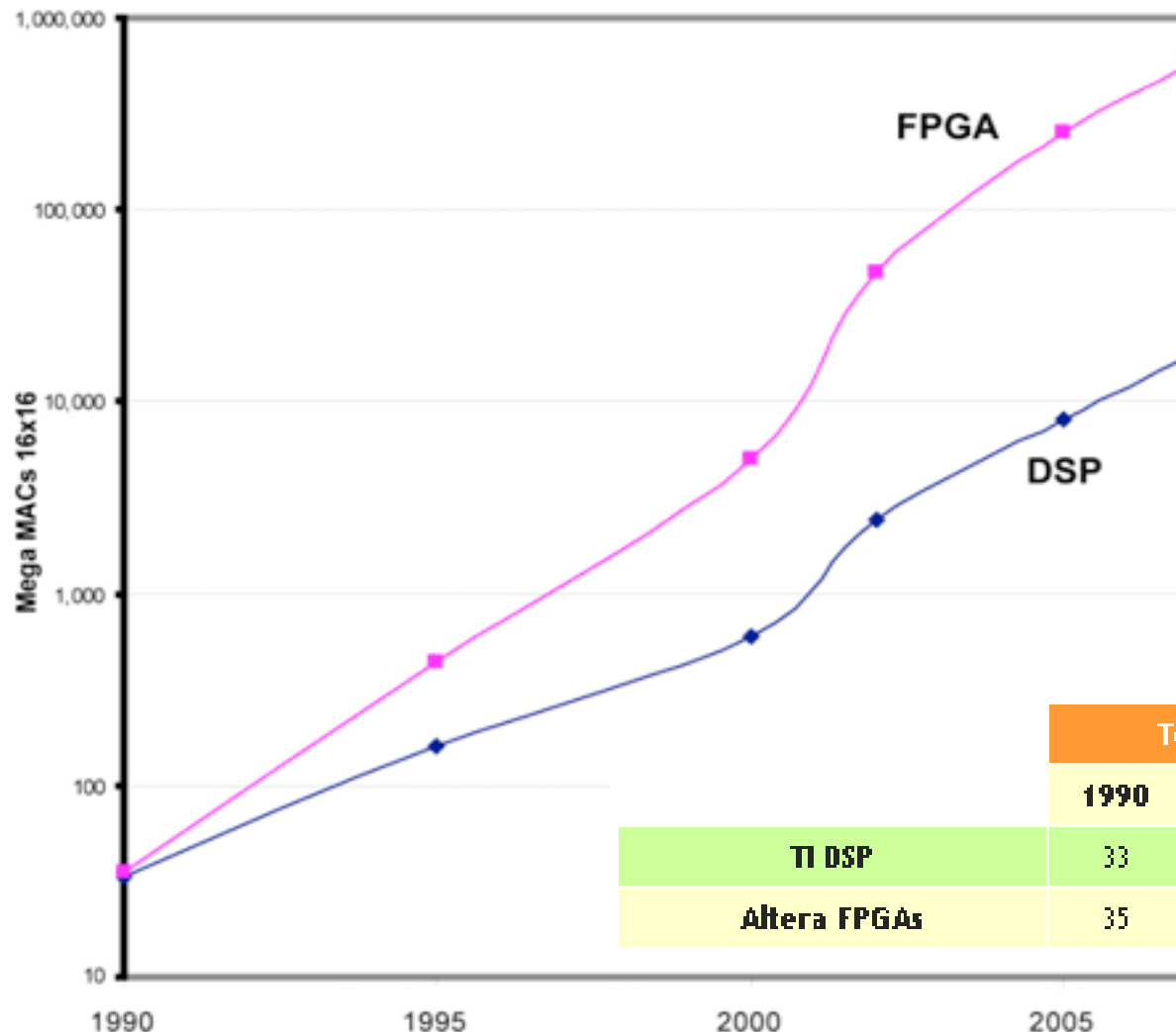
New BDTI-Certified Cost-Performance Optimized Results



Results © 2007 BDTI

(Estimated)

Изменение на производителността на FPGA и DSPs във времето



Total 16x16 Multiply Accumulates/Sec.					
1990	1995	2000	2002	2005	2007
33	160	600	2,400	8,000	17,000
35	436	5,016	47,520	255,960	565,400

Note: Assume 33% of device used for 16x16 @ 250LEs per MAC

Заключение

- FPGAs превъзхождат DSPs при някои задачи, които изискват голям обем на изчисленията и могат да се реализират в паралел
- DSPs имат предимството на създадената развойна инфраструктура, бърз time-to-market, и широка запознатост с процеса на разработка
- DSPs са по-лесни за ползване
- Много инженери имат умения развойна дейност с DSPs
- Голямо бързодействие не винаги е необходимо
- Комбинацията от FPGA и DSPs е удачно решение ако DSPs не могат да удовлетворят изискванията
- “Най-добрата архитектура” зависи от изискванията на конкретното приложение

Литература

- Peter Holko, Digital Signal Processing and Field Programmable Gate Arrays
www.enel.ucalgary.ca/People/Smith/2007webs/encm515_07/07StudentPresentations/DSP_FPGA.ppt
- The benefits of FPGA coprocessing
<http://www.dsp-fpga.com/pdfs/Xilinx.RG06.pdf>
- Implementing FFT in an FPGA Co-Processor
<http://www.altera.com/literature/cp/gsp/fft-in-fpga.pdf>
- FPGAs rapidly replacing high-performance DSP capability
<http://www.dsp-fpga.com/articles/ekas/>
- DSP Co-Processing in FPGAs:
- Embedding High-Performance Low-Cost DSP Functions
<http://www.xilinx.com/bvdocs/whitepapers/wp212.pdf>
- Comparing FPGAs and DSPs for High-Performance DSP Applications
http://www.bdti.com/articles/20061101_gsp06_fpgas.pdf
- FPGAs as Coprocessors for DSP Applications
http://www.altera.com/technology/dsp/devices/fpga/dsp-fpga_coprocessor.html
- Increase Bandwidth in Medical & Industrial Applications With FPGA Co-Processors
http://www.altera.com/literature/wp/wp_use_of_pld_as_cp5.pdf