

Конспект

**по дисциплината „Микропроцесорни системи“
за специалност „Компютърни системи и технологии“**

- I. Историческо развитие на 32- и 64-разрядните x86 микропроцесори на Intel**
- II. Суперскаларни микроархитектури на някои от x86 процесорите на Intel**
 1. Семейство P6: Вътрешна структура и организация на Pentium II.
 2. Архитектура NetBurst: Pentium 4.
 3. Технология Hyper-Threading.
 4. Многоядрени архитектури: Core, Core2, Nehalem, Sandy Bridge, Skylake.
- III. Типове данни при 32- и 64-разрядните x86 микропроцесори**
 1. Основни и числови типове данни. Разположение на данните в паметта.
 2. Указатели, полета и стрингове.
 3. SIMD пакетирани типове данни.
 4. VCD типове данни и числа с плаваща запетая.
- IV. Програмен модел и система команди на x86 микропроцесорите**
 1. Програмен модел. Регистри с общо предназначение.
 2. Система команди. Общ формат на една x86 команда.
 3. Основни групи x86 команди.
 4. Организация на адресното пространство в 32- и 64-битов режим. Линейни и физически адреси.
- V. Системна архитектура на x86 микропроцесорите**
 1. Режимы на работа.
 2. Флагове и полета в EFLAGS (RFLAGS).
 3. Управляващи регистри, регистри за управление на паметта и команди за работа с тях.
 4. Видове системни даннови структури.
- VI. Управление на паметта в защитен режим при x86 микропроцесорите: Сегментация**
 1. Общи принципи за управлението на паметта.
 2. Физическо адресно пространство в 32- и 64-битов режим.
 3. Структури за сегментация на паметта: сегменти, сегментни дескриптори, дескрипторни таблици и селектори.
 4. Регистри за управление на паметта.
 5. Транслиране на логически в линейен адрес.
 6. Сегментни модели на паметта.
- VII. Управление на паметта в защитен режим при x86 микропроцесорите: Странициране**
 1. Режимы на странициране при x86-64 микропроцесорите.
 2. Йерархични структури за странициране.
 3. 32-битово странициране.
 4. PAE странициране.
 5. Странициране на 4 нива.
- VIII. Защити при 32- и 64-разрядните x86 микропроцесори**
 1. Нива на привилегии. Полета и флагове за защити при сегментация и странициране.
 2. Защити при пряк достъп до сегменти.
 3. Защити при косвен достъп до сегменти чрез шлюзове.
 4. Защити при достъп до страници.
- IX. Прекъсвания и изключения при x86 микропроцесорите**
 1. Видове прекъсвания и изключения. Вектори.
 2. Източници на прекъсвания. Приоритети.
 3. Системни структури за обработка на прекъсвания и изключения.
 4. Формати на шлюзове в 32- и 64-битов режим.
 5. Обслужване на прекъсвания и изключения в 32- и 64-битов режим.
 6. Превключване на стековете при обработка на прекъсвания.
- X. Управление на задачите при 32- и 64-разрядните x86 микропроцесори**
 1. Задача в защитен 32-битов режим – същност и структура.
 2. Състояние на задача в 32-битов режим.
 3. Даннови структури за управление на задачи в 32-битов режим: TSS, TR, дескриптори и шлюзове.
 4. Превключване на задачи в 32-битов режим. Вложени задачи.
 5. Разполагане на задачите в паметта.
 6. Управление на задачите в 64-битов режим, TSS и дескриптор на TSS.
- XI. Организация на шината при някои x86 микропроцесори**
 1. Шинен интерфейс. Основни понятия.
 2. Особенности на шината при i486 и Pentium I. Групи цикли.

3. Функционални групи сигнали при i486 и Pentium I.
4. Видове цикли за четене и запис.

XII. Директен достъп до паметта

1. DMA контролер тип 8237. Вътрешна структура.
2. Сигнали и режими на работа на 8237.
3. Времедиаграма на DMA трансфер чрез 8237

XIII. Средства за изграждане на SMP мултипроцесорни системи

1. Общо за управлението в SMP системите.
2. Заклучване на шината.
3. Сериализиращи средства.
4. APIC: принципи, комуникация и основни функции, използвани при изграждане на SMP системи.
5. Съгласуваност на кеш паметите на процесорите в една SMP система.

XIV. Контролери за прекъсвания I8259A и APIC

1. Цикъл за потвърждаване на външно прекъсване.
2. Контролер I8259A: предназначение, блокова схема, сигнали и принцип на работа.
3. Структура и функциониране на локален APIC.

Литература:

1. Intel 64 and IA-32 Architectures Software Developer's Manual, Combined vol. 1-4, Dec. 2017
2. Intel 64 and IA-32 Architectures Software Developer's Manual Volume 3A-part-1 Sep. 2016
3. Рускова Н. Микропроцесорни системи. Ръководство за лаб. упражнения Печатна база при ТУ-Варна, 1999
4. AMD64 Architecture Programmer's Manual Volume 1: Application Programming, Publication No. 24592, Revision 3.20, May 2013
5. AMD64 Architecture Programmer's Manual Volume 2: System Programming, Publication No. 24593, Revision 3.32, October 2019

Лектор: гл. ас. д-р инж. Милен Ангелов

Формат на изпита:

Писмен изпит – тест с десет въпроса тип „есе“ и последващо събеседване (при необходимост). Времетраене на писмения изпит – 120 мин.

Оценка:

- Точките от текущ контрол (до 50т.) се събират с точките, получени от изпита (до 50т.)